

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-111634

(43)公開日 平成7年(1995)4月25日

(51)Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/92				
G 1 1 B 20/12	1 0 2	9295-5D		
H 0 4 N 5/7826		7734-5C	H 0 4 N 5/ 92 5/ 782	H D

審査請求 未請求 請求項の数9 F D (全 28 頁) 最終頁に続く

(21)出願番号 特願平5-277633

(22)出願日 平成5年(1993)10月8日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 小黒 正樹

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 杉山 猛 (外1名)

Jap. Pat. OPI No. 7-111634 (4-25-95)

Jap. Pat. Appln. No. 5-277633 (10-8-93)

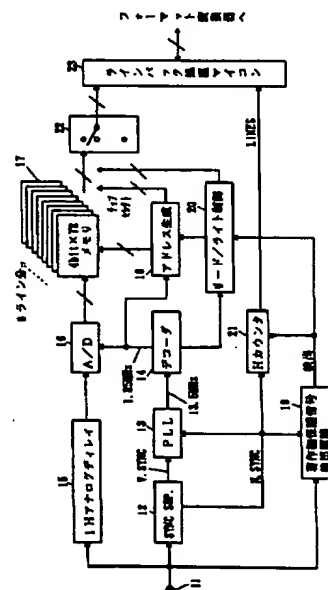
Applicant: SONY Corp

(54)【発明の名称】 デジタル画像信号の記録及び／又は再生方法、記録及び／又は再生装置及び記録媒体

(57)【要約】

【目的】 アナログ方のVTRのソフトテープに使用している著作権保護信号を圧縮方式のデジタルVTRで記録、再生することができるようにする。

【構成】 著作権保護信号検出回路19がビデオ信号に挿入されている攪乱信号を検出した時に、A/D変換器16の出力がメモリ17に格納される。Hカウンタ回路21は攪乱信号がある時のライン番号をLINESデータとして、ラインバック処理マイコン23に与える。メモリ17のデータはスイッチング回路22で切り替えられながら、ラインデータとしてラインバック処理マイコン23に与えられる。ラインバック処理マイコン23はこれらを用いてバックデータを生成し、デジタルVTRのフォーマット変換器へ送る。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 符号化された画像信号の記録エリアと付随情報の記録エリアとを含む記録フォーマットを備えると共に、該付随情報の記録エリアは、画像信号における任意のラインを指定するライン指定データ及び記録信号の符号化に関するパラメータを記録するヘッダーバックと該ヘッダーバックが指定するラインの信号を該パラメータにしたがって符号化したデータを記録するデータバックとからなるバック構造を有するデジタル画像信号記録方法において、

画像信号を符号化して前記画像信号の記録エリアに記録すると共に、該画像信号の所定のラインに挿入されている著作権保護信号の該所定のラインを指定するデータ及び該著作権保護信号の符号化に関するパラメータを前記ヘッダーバックに記録し、かつ符号化した著作権保護信号を前記データバックに記録することを特徴とするデジタル画像信号記録方法。

【請求項2】 符号化された画像信号の記録エリアと付随情報の記録エリアとを含む記録フォーマットを備えると共に、該付随情報の記録エリアは、画像信号における任意のラインを指定するライン指定データ及び記録信号の符号化に関するパラメータを記録するヘッダーバックと該ヘッダーバックが指定するラインの信号を該パラメータにしたがって符号化したデータを記録するデータバックとからなるバック構造を有するデジタル画像信号記録装置において、(a) 画像信号を符号化して前記画像信号の記録エリアに記録する手段と、(b) 該画像信号の所定のラインに挿入されている著作権保護信号の該所定のラインを指定するデータ及び該著作権保護信号の符号化に関するパラメータを前記ヘッダーバックに記録し、かつ符号化した前記著作権保護信号を前記データバックに記録する手段とを備えることを特徴とするデジタル画像信号記録装置。

【請求項3】 符号化された画像信号の記録エリアと付随情報の記録エリアとを含む記録フォーマットを備えると共に、該付随情報の記録エリアは、画像信号における任意のラインを指定するライン指定データ及び記録信号の符号化に関するパラメータを記録するヘッダーバックと該ヘッダーバックが指定するラインの信号を該パラメータにしたがって符号化したデータを記録するデータバックとからなるバック構造を有し、符号化された画像信号が前記画像信号の記録エリアに記録されると共に、該画像信号の所定のラインに挿入されている著作権保護信号の該所定のラインを指定するデータ及び該著作権保護信号の符号化に関するパラメータが前記ヘッダーバックに記録され、かつ符号化された該著作権保護信号が前記データバックに記録されたデジタル画像信号を再生する方法において、

前記画像信号の記録エリアから符号化された画像信号を再生して画像信号を復号すると共に、前記ヘッダーバ

ック及びデータバックを再生して前記著作権保護信号を復元し、復号した画像信号の前記所定のラインに挿入することを特徴とするデジタル画像信号再生方法。

【請求項4】 符号化された画像信号の記録エリアと付随情報の記録エリアとを含む記録フォーマットを備えると共に、該付随情報の記録エリアは、画像信号における任意のラインを指定するライン指定データ及び記録信号の符号化に関するパラメータを記録するヘッダーバックと該ヘッダーバックが指定するラインの信号を該パラメータにしたがって符号化したデータを記録するデータバックとからなるバック構造を有し、符号化された画像信号が前記画像信号の記録エリアに記録されると共に、該画像信号の所定のラインに挿入されている著作権保護信号の該所定のラインを指定するデータ及び該著作権保護信号の符号化に関するパラメータが前記ヘッダーバックに記録され、かつ符号化された該著作権保護信号が前記データバックに記録されたデジタル画像信号を再生する装置において、

(a) 前記画像信号の記録エリアから符号化された画像信号を再生して画像信号を復号する手段と、

(b) 前記ヘッダーバック及びデータバックを再生して前記著作権保護信号を復元し、復号した画像信号の前記所定のラインに挿入する手段とを備えることを特徴とするデジタル画像信号再生装置。

【請求項5】 符号化された画像信号の記録エリアと付随情報の記録エリアとを含む記録フォーマットを備えると共に、該付随情報の記録エリアは、画像信号における任意のラインを指定するライン指定データ及び記録信号の符号化に関するパラメータを記録するヘッダーバックと該ヘッダーバックが指定するラインの信号を該パラメータにしたがって符号化したデータを記録するデータバックとからなるバック構造を有するデジタル画像信号記録再生方法において、

記録時には、画像信号を符号化して前記画像信号の記録エリアに記録すると共に、該画像信号の所定のラインに挿入されている著作権保護信号の該所定のラインを指定するデータ及び該著作権保護信号の符号化に関するパラメータを前記ヘッダーバックに記録し、かつ符号化した著作権保護信号を前記データバックに記録し、

再生時には、前記画像信号の記録エリアから符号化された画像信号を再生し、

画像信号を復号すると共に、前記ヘッダーバック及びデータバックを再生して前記著作権保護信号を復元し、復号した画像信号の前記所定のラインに挿入することを特徴とするデジタル画像信号記録再生方法。

【請求項6】 符号化された画像信号の記録エリアと付随情報の記録エリアとを含む記録フォーマットを備えると共に、該付随情報の記録エリアは、画像信号における任意のラインを指定するライン指定データ及び記録信号の符号化に関するパラメータを記録するヘッダーバック

と該ヘッダーバックが指定するラインの信号を該パラメータにしたがって符号化したデータを記録するデータバックとからなるバック構造を有するデジタル画像信号記録再生装置において、(a) 画像信号を符号化して前記画像信号の記録エリアに記録する手段と、

(b) 該画像信号の所定のラインに挿入されている著作権保護信号の該所定のラインを指定するデータ及び該著作権保護信号の符号化に関するパラメータを前記ラインヘッダーバックに記録し、かつ符号化した著作権保護信号を前記データバックに記録する手段と、(c) 前記画像信号の記録エリアから符号化された画像信号を再生して画像信号を復号する手段と、(d) 前記ラインヘッダーバック及びデータバックを再生して前記著作権保護信号を復元し、復号した画像信号の前記所定のラインに挿入する手段とを備えることを特徴とするデジタル画像信号記録再生装置。

【請求項7】 画像信号の第1フィールドと第2フィールドの同一のラインに同一の内容を復元することを指示する情報をヘッダーバックに記録することにより、第1フィールドと第2フィールドの同一のラインに同一の内容を有する著作権保護信号の一方のフィールドのみを符号化してデータバックに記録することを特徴とする請求項2又は6記載のデジタル画像信号記録装置又はデジタル画像信号記録再生装置。

【請求項8】 著作権保護信号を符号化する時に、画像信号のベDESTALレベル以上の部分を細かく量子化することを特徴とする請求項2、6又は7記載のデジタル画像信号記録装置又はデジタル画像信号記録再生装置。

【請求項9】 符号化された画像信号の記録エリアと付随情報の記録エリアとを含む記録フォーマットを備えると共に、該付随情報の記録エリアは、画像信号における任意のラインを指定するライン指定データ及び記録信号の符号化に関するパラメータを記録するヘッダーバックと該ヘッダーバックが指定するラインの信号を該パラメータにしたがって符号化したデータを記録するデータバックとからなるバック構造を有し、符号化された画像信号が前記画像信号の記録エリアに記録されると共に、該画像信号の所定のラインに挿入されている著作権保護信号の該所定のラインを指定するデータ及び該著作権保護信号の符号化に関するパラメータが前記ヘッダーバックに記録され、かつ符号化された該著作権保護信号が前記データバックに記録された記録媒体。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、画像信号を符号化して記録及び／又は再生するデジタル画像信号記録及び／又は再生方法、記録及び／又は再生装置及び記録媒体に関するものである。

【0002】

【従来の技術】 従来のアナログVTR用のソフトテープでは、著作権保護のためにテレビジョン信号の垂直ブランキング期間の所定のラインに記録側VTRのAGC回路の動作を混乱させるような攪乱信号を挿入していた。これにより不法にソフトテープをダビングすると、ダビングされたテープは再生不可能な状態になって記録され、結果として著作権が保護されることになる。

【0003】 一方、近來その進歩が目ざましい画像圧縮技術を用いたデジタルVTRにおいては、画質の向上を計るため記録信号の全体量を減らすことが常識的に行われている。このため、垂直ブランキング、水平ブランキングのような直接画像と関係ない部分は削除している。

【0004】 例えば525/60方式の場合、奇数フィールドにおける23H～262Hの240ライン及び偶数フィールドにおける285H～524Hの240ラインの各ラインに対して、図39に示されている有効走査期間のデータ720サンプルを取り出す。同様に、625/50方式の場合、奇数フィールドにおける23H～310Hの288ライン及び偶数フィールドにおける335H～622Hの288ラインの各ラインに対して、図39に示されている有効走査期間のデータ720サンプルを取り出す。

【0005】 このようにして、実画像部分のみを取りだし、データ量を圧縮して記録した画像データは、再生時に記録時と逆の処理を施され、記録時に削除した垂直ブランキング、水平ブランキングが付加されコンポジットビデオ信号として出力される。

【0006】

【発明が解決しようとする課題】 さて、このような画像圧縮技術を用いたデジタルVTRのソフトテープを作る場合には、前記したように実画像部分だけが記録されるため、著作権保護のため従来からソフトテープに挿入していた垂直ブランキング期間内の攪乱信号を記録することはできない。

【0007】 デジタルVTR同士の著作権保護に関しては、DAT等で実用化しているSCMS (Serial Copy Management System) 等が有効であるが、現在一番普及しているVHS方式のようなアナログVTRに対して著作権を保護することはできない。

【0008】 この発明はこのような問題点を解決するためになされたものであって、アナログ方のVTRのソフトテープに使用している攪乱信号のように、著作権保護のために画像信号の実画像以外の部分に挿入されている攪乱信号を圧縮方式のデジタルVTRで記録、再生することができるようにすることを目的とする。

【0009】

【課題を解決するための手段】 前記課題を解決するため

に、請求項1又は2に係る発明は、符号化された画像信号の記録エリアと付随情報の記録エリアとを含む記録フォーマットを備えると共に、該付随情報の記録エリアは、画像信号における任意のラインを指定するライン指定データ及び記録信号の符号化に関するパラメータを記録するヘッダーバックと該ヘッダーバックが指定するラインの信号を該パラメータにしたがって符号化したデータを記録するデータバックとからなるバック構造を有するデジタル信号記録方法又はデジタル信号記録装置において、画像信号を符号化して前記画像信号の記録エリアに記録すると共に、該画像信号の所定のラインに挿入されている著作権保護信号の該所定のラインを指定するデータ及び該著作権保護信号の符号化に関するパラメータを前記ヘッダーバックに記録し、かつ符号化した前記著作権保護信号を前記データバックに記録するように構成したものである。

【0010】また、請求項3又は4に係る発明は、符号化された画像信号の記録エリアと付随情報の記録エリアとを含む記録フォーマットを備えると共に、該付随情報の記録エリアは、画像信号における任意のラインを指定するライン指定データ及び記録信号の符号化に関するパラメータを記録するヘッダーバックと該ヘッダーバックが指定するラインの信号を該パラメータにしたがって符号化したデータを記録するデータバックとからなるバック構造を有し、符号化された画像信号が前記画像信号の記録エリアに記録されると共に、該画像信号の所定のラインに挿入されている著作権保護信号の該所定のラインを指定するデータ及び該著作権保護信号の符号化に関するパラメータが前記ヘッダーバックに記録され、かつ符号化された該著作権保護信号が前記データバックに記録されたデジタル信号を再生する方法又は装置において、画像信号の記録エリアから符号化された画像信号を再生して画像信号を復号すると共に、ヘッダーバック及びデータバックを再生して前記著作権保護信号を復元し、復号した画像信号の前記所定のラインに挿入するように構成したものである。

【0011】さらに、請求項5又は6に係る発明は、符号化された画像信号の記録エリアと付随情報の記録エリアとを含む記録フォーマットを備えると共に、該付随情報の記録エリアは、画像信号における任意のラインを指定するライン指定データ及び記録信号の符号化に関するパラメータを記録するヘッダーバックと該ヘッダーバックが指定するラインの信号を該パラメータにしたがって符号化したデータを記録するデータバックとからなるバック構造を有するデジタル信号記録再生方法又はデジタル信号記録再生装置において、記録時には、画像信号を符号化して前記画像信号の記録エリアに記録すると共に、該画像信号の所定のラインに挿入されている著作権保護信号の該所定のラインを指定するデータ及び該著作権保護信号の符号化に関するパラメータを前記ヘッダ

ーバックに記録し、かつ符号化した著作権保護信号を前記データバックに記録し、再生時には、画像信号の記録エリアから符号化された画像信号を再生して画像信号を復号すると共に、ヘッダーバック及びデータバックを再生して前記著作権保護信号を復元し、復号した画像信号の前記所定のラインに挿入するように構成したものである。

【0012】また、請求項7に係る発明は、請求項2又は6に係る発明において、画像信号の第1フィールドと第2フィールドの同一のラインに同一の内容を復元することを指示する情報をラインヘッダーバックに記録することにより、第1フィールドと第2フィールドの同一のラインに同一の内容を有する著作権保護信号の一方のフィールドのみを符号化してデータバックに記録するように構成したものである。

【0013】さらに、請求項8に係る発明は、2、6又は7に係る発明において、著作権保護信号を符号化する時に、画像信号のペDESTALレベル以上の部分を細かく量子化するように構成したものである。

【0014】そして、請求項9に係る発明は、符号化された画像信号の記録エリアと付随情報の記録エリアとを含む記録フォーマットを備えると共に、該付随情報の記録エリアは、画像信号における任意のラインを指定するライン指定データ及び記録信号の符号化に関するパラメータを記録するヘッダーバックと該ヘッダーバックが指定するラインの信号を該パラメータにしたがって符号化したデータを記録するデータバックとからなるバック構造を有し、符号化された画像信号が前記画像信号の記録エリアに記録されると共に、該画像信号の所定のラインに挿入されている著作権保護信号の該所定のラインを指定するデータ及び該著作権保護信号の符号化に関するパラメータが前記ヘッダーバックに記録され、かつ符号化された該著作権保護信号が前記データバックに記録された記録媒体である。

【0015】

【作用】本発明によれば、画像信号を符号化して前記画像信号の記録エリアに記録すると共に、画像信号の所定のラインに挿入されている著作権保護信号の所定のラインを指定するデータ及び該著作権保護信号の符号化に関するパラメータをラインヘッダーバックに記録し、かつ符号化した著作権保護信号をデータバックに記録する。

【0016】また、画像信号の記録エリアから符号化された画像信号を再生して画像信号を復号すると共に、ラインヘッダーバック及びデータバックを再生して著作権保護信号を復元し、復号した画像信号の所定のラインに挿入する。

【0017】

【実施例】本発明を圧縮方式のデジタルVTRに適用した場合の実施例について、以下の項目に従って説明する。

【0018】 1. デジタルVTRの特徴

- (1) トラックフォーマット
- (2) ITIエリア
- (3) アプリケーションIDシステム
- (4) オーディオセクター
- (5) ビデオセクター
- (6) サブコードセクター
- (7) MICのデータ構造

【0019】 2. 著作権保護信号の記録再生

- (1) 著作権保護信号の概要
- (2) サンプリングと量子化
- (3) バック化
- (4) 記録再生系
- (イ) 記録系
- (ロ) 再生系

【0020】 1. デジタルVTRの特徴

- (1) トラックフォーマット

図1に、本発明を適用したデジタルVTRの1本のトラックを示す。この図に示されているように、このデジタルVTRではトラック入口側からITIエリア、オーディオエリア、ビデオエリア、サブコードエリアの順に記録が行われる（なお、図に示されているIBG1～3はインターブロックギャップである）。このようなトラックが、525/60方式のビデオ信号に対しては1フレームが10トラック、625/60方式では1フレームが12トラックに分割されて記録される。

【0021】 (2) ITIエリア

トラック入口側に記録されるITI (Insert and Track Information) はアフレコを確実にするためのタイミングブロックである。これは、それ以降のエリアに書かれたビデオデータやオーディオデータをアフレコして書き直す場合に、そのエリアの位置決めを正確にするために設けられるものである。詳細は後述するが、このデジタルVTRはアプリケーションIDを用いることによりデジタル画像信号及びデジタル音声信号の記録再生装置以外にも応用できるように構成されており、どのような応用装置においても特定のエリアのデータの書換えは必須なので、このトラック入口側のITIエリアは必ず設けられている。

【0022】 ITIエリアには短いSYNC長のSYNCブロックを多数個書いておき、その中にトラック入口側より順にそのSYNC番号を振っておく。アフレコをしようとする時、このITIエリアのSYNCブロックのどれかを検出できれば、そこに書いてある番号から現在のトラック上の位置が正確に判断できる。そして、それを基にアフレコエリアを確定する。一般的にトラック入口側はメカ精度等の関係からヘッドの当りが取り難く不安定である。そのために、ITIエリアではSYNC長を短くして多数個SYNCブロックを書いておくことにより、検出確率を高くしている。

【0023】 このITIエリアは、図2のように4つの部分からなる。まずデジタル信号再生のPLLのラインの働き等をする1400ビットのプリアンプがあり、次に上記の機能のためのSSA (Start SYNC Block Area) がある。これは1 SYNCブロックが30ビットで構成され、61ブロックある。その後にTIA (Track Information Area) がある。これは3ブロック90ビットで構成される。このTIAは、トラック全体に関わる情報を格納するエリアであって、この各ブロックの中にはおおむねのアプリケーションID（詳細は後述する）であるAPT (Application ID of a track) 3ビット、トラックピッチを表すSP/LP1ビット、リザーブ1ビットそれにサーボシステムの基準フレームを示すPF (Pilot Frame) 1ビットの計6ビットが格納される。最後にマージンを稼ぐためのポストアンプ280ビットがある。

【0024】 (3) アプリケーションIDシステム

本願出願人は、先にこのデジタルVTRをデジタル画像信号及びデジタル音声信号の記録再生装置以外にも容易に商品展開できるように、アプリケーションIDなるシステムを提案した (S92092481、S93023086、S93039888)。

【0025】 また、本願出願人はこのデジタルVTRの記録媒体の収納されるカセットにメモリICの設けられた回路基板を搭載して、このカセットがデジタルVTRに装着された時にこのメモリICに書き込まれたデータを読み出して記録再生の補助を行うようにすることを提案した (特願平4-165444号、特願平4-287875号等参照)。本願ではこれをMIC (Memory In Cassette) と呼ぶことにする。

【0026】 そこで以下にアプリケーションIDシステム及びMICについて説明をし、それにより本発明が適用されるデジタルVTRの特徴を明らかにする。

【0027】 アプリケーションIDは、上述のTIAエリアのAPTだけでなく、このMICの中にもAPM (Application ID of MIC) として、アドレス0の上位3ビットに格納されている。

【0028】 アプリケーションIDはデジタルVTRの応用例を決めるIDではなく、単に記録媒体のエリアのデータ構造を決定するだけのIDである。従って以下の意味付けがなされている。

APT・・・トラック上のデータ構造を決める。

APM・・・MICのデータ構造を決める。

【0029】 APTの値により、トラック上のデータ構造が規定される。つまり、ITIエリア以降のトラックが、図3のようにいくつかのエリアに分割され、それらのトラック上の位置、SYNCブロック構成、エラーからデータを保護するためのECC構成等のデータ構造が一義に決まる。さらに各エリアには、それぞれそのエリ

アのデータ構造を決めるアプリケーションIDが存在する。その意味付けは以下になる。エリアnのアプリケーションID・・・エリアnのデータ構造を決める。

【0030】テープ上のアプリケーションIDは、図4のような階層構造を持つ。すなわち、おおとのアプリケーションIDであるAPTによりトラック上のエリアが規定され、その各エリアにさらにAP1～APnが規定される。エリアの数は、APTにより定義される。図4では二階層で書いてあるが、必要ならさらにその下に階層を設けてもよい。これに対してMIC内のアプリケーションIDであるAPMは一階層のみである。その値は、デジタルVTRによりその応用機器のAPTと同じ値が書き込まれる。

【0031】このアプリケーションIDシステムにより、民生用のデジタルVTRを、そのカセット、メカニズム、サーボシステム、ITIエリアの生成検出回路等をそのまま流用して、全く別の商品群、例えばデータストリーマーやマルチトラック・デジタルオーディオテープレコーダーのようなものを作り上げることが可能となった。また1つのエリアが決まっても、その中味をさらにそのエリアのアプリケーションIDで定義できるので、あるアプリケーションIDの値の時はそこはビデオデータ、別の値の時はビデオ・オーディオデータ、またはコンピューターデータというように非常に広範な商品展開が可能になった。

【0032】次にAPT=000の時の様子を図5に示す。この時トラック上にエリア1、エリア2、エリア3が規定される。そしてそれらのトラック上の位置、SYNCブロック構成、エラーからデータを保護するためのECC構成、それに各エリアを保証するためのギャップや重ね書きを保証するためのオーバライトマージンが決まる。さらに各エリアには、それぞれそのエリアのデータ構造を決めるアプリケーションIDが存在する。その意味付けは以下になる。

AP1・・・エリア1のデータ構造を決める。

AP2・・・エリア2のデータ構造を決める。

AP3・・・エリア3のデータ構造を決める。

【0033】そしてこの各エリアのApplication IDが、000の時を以下のように定義する。

AP1=000・・・民生用デジタルVTRのオーディオ、AAUXのデータ構造を採る

AP2=000・・・民生用デジタルVTRのビデオ、VAUXのデータ構造を採る

AP3=000・・・民生用デジタルVTRのサブコード、IDのデータ構造を採る

【0034】ここでAAUXはオーディオ付随データ(Audio Auxiliary data)であり、VAUXはビデオ付随データ(Video Auxiliary data)である。すなわち、民生用のディ

ジタルVTRを実現するときは、APT、AP1、AP2、AP3=000となる。当然、APMも000となる。

【0035】さてAPT=000の時には、AAUX、VAUX、サブコードそれにMICの各エリアは、すべて共通のバック構造で記述される。図6に示すように、1つのバックは5バイトで構成され、先頭の1バイト(PC0)がヘッダー、残りの4バイト(PC1～PC4)がデータである。バックとは、データグループの最小単位のこと、関連するデータを集めて1つのバックを構成する。

【0036】ヘッダー8ビットは、上位4ビット、下位4ビットに分かれ、階層構造を形成する。図7のように、上位4ビットを上位ヘッダー、下位4ビットを下位ヘッダーとして二階層を構成し、さらにデータのビットアサインによりその下の階層まで拡張できる。この階層化により、バックの内容は明確に系統だてられ、その拡張も容易である。そしてこの上位ヘッダー、下位ヘッダーによる256の空間は、唯一のバックヘッダー表として、その各バックの内容と共に準備される。これを用いて、上記の各エリアを記述する。

【0037】図8はバックヘッダー表の概要を示す図である。このバックヘッダー表において、上位4ビットは大アイテム、下位4ビットは小アイテムと呼ばれる。そして上位4ビットの大アイテムは例えば後続データの用途を示すデータである。これに対して下位4ビットは例えば後続データの具体的な内容を示すデータである。

【0038】そしてこの大アイテムには、図8に示すようにコントロール「0000」、タイトル「0001」、チャプター「0010」、パート「0011」、プログラム「0100」、オーディオ付随データ「0101」、ビデオ付随データ「0110」、カメラ「0111」、ライン「1000」、ソフトモード「1111」が設けられる。

【0039】ここで、例えば、オーディオ付随データ「0101」及びビデオ付随データ「0110」の大アイテムには、それぞれ記録信号源「0000」、ソースコントロール「0001」、記録日「0010」、記録時間「0011」等の小アイテムが設けられる。

【0040】図9はオーディオ付随データ及びビデオ付随データのソースコントロールバックのPC1のデータを示す図である。このバックには、MSB側から順に、SCMSデータ2ビット、コピーソースデータ2ビット、コピージェネレーションデータ2ビット、サイファー(暗号)タイプデータ1ビット、そしてサイファーデータ1ビットが記録される。

【0041】また、ライン「1000」の大アイテムには、ラインヘッダー「0000」、Y「0001」、R-Y「0010」、B-Y「0011」、R「0101」、G「0110」、B「0111」等の小アイテム

が設けられる。すなわち、ライン「1000」の大アイテムは、テレビジョン信号における垂直ブランキング期間内あるいは有効走査期間内の任意のラインのデータをサンプリングしたデータを記録やテレビジョン信号以外の画像信号のサンプリングデータの記録ができる。

【0042】なお、大アイテム「1001」～「1110」は追加用に残された部分である。したがって、未定義されていないアイテムデータのコード（例えば、上記の追加用の大アイテム「1001」～「1110」を有するもの）を使用して新たなヘッダーを定義することにより、将来任意に新しいデータの記録を行うことができる。

【0043】パック構造は5バイトの固定長を基本とするが、唯一の例外としてMIC内に文字データを記述する時のみ、可変長のパック構造を用いる。これは限られたメモリ容量を有効利用するためである。

【0044】(4) オーディオセクター

オーディオとビデオの各エリアは、それぞれオーディオセクター、ビデオセクターと呼ばれる。図10にオーディオセクターの構成を示す。プリアンプは500ビットで構成され、ランアップ400ビット、プリSYNCブロック2個からなる。ランアップは、PLLの引き込みのためのランアップパターンとして用いられ、プリSYNCは、オーディオSYNCブロックの前検出として用いられる。後ろのポストアンプは、550ビットで構成され、ポストSYNCブロック1つ、ガードエリア500ビットからなる。ポストSYNCは、そのIDのSYNC番号によりこのオーディオセクターの終了を確認させるもので、ガードエリアは、その後ろのビデオセクターをアフレコしてもオーディオセクターに食い込まないようにガードするためのものである。

【0045】プリSYNC、ポストSYNCの各ブロックは、図11(a)、(b)に示すようにどちらも6バイトで構成される。プリSYNCの6バイト目には、SP/LPの判別バイトがある。FFhでSP、00hでLPを表す。ポストSYNCの6バイト目は、ダミーデータとしてFFhを格納する。

【0046】SP/LPの識別バイトは、前述のTIAエリアにもSP/LPフラグとして存在するが、これはその保護用である。TIAエリアの値が読み取れば、それを採用し、もし読み取り不可ならこのエリアの値を採用する。

【0047】プリSYNC、ポストSYNCの各6バイトは、24-25変換（24ビットのデータを25ビットに変換して記録する変調方式）を施してから記録されるので、総ビット長は、プリSYNCが $6 \times 2 \times 8 \times 25 \div 24 = 100$ ビット、ポストSYNCが $6 \times 1 \times 8 \times 25 \div 24 = 50$ ビットとなる。

【0048】オーディオSYNCブロックは、図12のように90バイトで1SYNCブロックが構成される。

前半の5バイトは、プリSYNC、ポストSYNCと同様の構成である。データ部は77バイトで、水平パリティC1（8バイト）と垂直パリティC2（77バイト×5）により保護されている。

【0049】オーディオSYNCブロックは、1トラック当たり14SYNCブロックからなり、これに24-25変換を施してから記録するので、総ビット長は、 $90 \times 14 \times 8 \times 25 \div 24 = 10500$ ビットとなる。

【0050】データ部の前半5バイトは、オーディオ付随データ用で、これで1パックを構成する。1トラック当たり9パック用意される。図12の0から8までの番号は、トラック内のパック番号を表す。

【0051】図13は、その9パック分を抜きだして、トラック方向に記述した図である。ここで50から55までの数字は、パックヘッダーの値（16進数）を示す。同じパックを10トラックに10回書き込んでいることになる。この部分をメインエリアと呼ぶ。ここには、オーディオ信号を再生するために必要なサンプリング周波数、量子化ビット数などの必須項目が主として格納されるので、データ保護のために多数回書き込んでいる。これにより、テープトランスポートにありがちな横方向の傷や片チャンネルクロック等に対してもメインエリアのデータは、再現できる。

【0052】それ以外の残りのパックは、すべて順番につなげてオプションエリアとして用いられる。図13でa、b、c、d、e、g、h、・・・のように、矢印の方向にメインエリアのパックを飛ばしてつなげていく。1ビデオフレームで、オプションエリアは30パック（525/60方式）、36パック（625/50方式）用意される。ここは、文字どおりオプションなので、各デジタルVTR毎に、図8のパックヘッダー表の中から自由に選んで記述してよい。

【0053】オプションエリアは、共通のコモンオプション（例えば文字データ）と各メーカーが独自にその内容を決められる共通性の無いメーカーズオプションからなる。オプションなので片方だけ、または両方存在したり、または両方無くてもよい。情報がない場合は、情報無しのパック「NO INFOパック」を用いて記述する。アプリケーションIDと両者のエリアは、メーカーコードパックの出現により区切られる。それ以降がメーカーズオプションエリアとなる。

【0054】このメインエリア、オプションエリア、コモンオプション、メーカーズオプションの仕組みは、オーディオ付随データ、ビデオ付随データ、サブコード、MICすべて共通である。

【0055】(5) ビデオセクター

図14にビデオセクターの構成を示す。プリアンプ、ポストアンプの構成は、図10のオーディオセクターと同じである。また、ポストアンプのガードエリアの量がオーディオセクターより多くなっている。

【0056】ビデオSYNCブロックは、図15のようにオーディオと同じ90バイトで1 SYNCブロックが構成される。前半の5バイトは、プリSYNC、ポストSYNC、オーディオSYNCと同様の構成である。データ部は77バイトで、図16のように水平パリティC1（8バイト）と垂直パリティC2（77バイト×11）により保護されている。図16の上部2 SYNCブロックとC2パリティの直前の1 SYNCブロックは、VAUX専用のSYNCで77バイトのデータはビデオ付随データとして用いられる。それらVAUX専用SY

NCとC2パリティSYNC以外は、DCT（離散コサイン変換）を用いて圧縮されたビデオ信号のビデオデータが格納される。

【0057】図16で、中央の135 SYNCブロックが、このビデオデータの格納エリアである。図中、BUF0からBUF26まで数字が打ってあるが、このBUFは1バッファリングブロックを示している。1バッファリングブロックは、5 SYNCブロックで構成され、1トラック当り27個、したがって、1ビデオフレーム、10トラックでは、270バッファリングブロック

ある。

【0058】つまり、1フレームの画像データのうち、画像として有効なエリアを抜き出し、そこをサンプリングしたデジタルデータを実画像の様々な部分からシャプリングして集め270個のグループを作る。その1グループが、1バッファリングユニットである。それをその単位毎に、DCT方式等の圧縮技術を用いてデータ圧縮を試み、それが全体で目標圧縮値以内がどうかを評価しながら処理して行く。その後、その圧縮した1バッファリングユニットのデータを、1バッファリングブロッ

ク、5 SYNCに詰め込んでいく。

【0059】図17にVAUX専用SYNCの様子を示す。図16の上部2 SYNCが、図17の上2 SYNC、図16のC2の直前の1 SYNCが図17の一番下のSYNCに相当する。77バイトを5バイトのバック単位に刻むと2バイト余るが、ここはリザーブとして特に用いない。オーディオと同じく番号を振っていくと、0から44まで、1トラック当り45バック確保される。

【0060】この45バック分を抜きだして、トラック方向に記述した図が、図18である。ここで60から65までの数字は、バックヘッダーの値（16進数）を示す。ここがメインエリアである。オーディオと同様に、同じバックを10トラックに10回書いている。ここには、ビデオ信号を再生するために必要なテレビジョン方式、画面のアスペクト比などの必須項目が主として格納されている。これにより、テープトランスポートにありがちな横方向の傷や片チャンネルクロック等に対してもメインエリアのデータは、再現できる。

【0061】それ以外の残りのバックは、すべて順番に

つなげてオプションエリアとして用いられる。図18でオーディオと同様に、a、b、c、・・・のように、矢印の方向にメインエリアのバックを飛ばしてつなげていく。1ビデオフレームで、オプションエリアは390バック（525/60方式）、468バック（625/50方式）用意される。オプションエリアの扱いは、オーディオと同様である。

【0062】ビデオSYNCブロックは、1トラック当り149 SYNCブロックからなり、これに24-25変換を施してから記録するので、総ビット長は、 $90 \times 149 \times 8 \times 25 \div 24 = 111750$ ビットとなる。

【0063】次にID部について説明する。IDPは、オーディオ、ビデオ、サブコードの各セクターで同じ方式を用いており、ID0、ID1を保護するパリティである。図19にID部の内容を示すが、IDPは省略してある。

【0064】まずID1は、トラック内SYNC番号を格納する場所である。これは、オーディオセクターのプリSYNCからビデオセクターのポストSYNCまで、連続して0から168まで番号を2進表記で振っていく。

【0065】ID0の下位4ビットは、1ビデオフレーム内のトラック番号が入る。2トラックに1本の割合で番号を打つ。そして、2トラックの区別は、ヘッドのアジマス角度で判別できる。ID0の上位4ビットは、SYNCの場所により内容が変わる。まず、図19

(a)に示されているAAUX+オーディオデータのSYNCとビデオデータのSYNCでは、シーケンス番号4ビットが入る。これは、0000から1011まで12通りの番号を、各1ビデオフレーム毎に付けていくものである。これにより変速再生時に得られたデータが、同一フレーム内のものかどうかの区別をすることができる。図10、図12、図14、図16のプリSYNC、ポストSYNCそれにC2パリティのSYNCでは、図19(b)に示されているように、ID0の上位3ビットに、アプリケーションID、AP1とAP2が格納される。従って、AP1は8回書き、AP2は14回書きされる。このように多数回書き込み、しかもその場所を分散させることによりアプリケーションIDの信頼性の向上及び保護を計っている。

【0066】(6)サブコードセクター
図20にサブコードセクターの構成を示す。プリアンブル、ポストアンブルには、オーディオやビデオと異なりプリSYNC、ポストSYNCがない。また他のセクターよりも、その長さが長くなっている。これは、サブコードセクターが、インデックス込みなど頻繁に書き換える用途に用いるもので、またトラック最後尾にあるためトラック前半のずれが全部加算された形でそのしわ寄せがくるためである。

【0067】サブコードSYNCブロックは、図21の

ように12バイトで構成されており、前半の5バイトは、プリSYNC、ポストSYNC、オーディオSYNC、ビデオSYNCと同様の構成である。続くデータ部は5バイトで、これだけでバックを構成する。データ部を保護する水平パリティC1は2バイトである。オーディオセクターやビデオセクターのようにC1、C2によるいわゆる積符号構成にはしていない。これは、サブコードが主として高速サーチ用のものであり、その限られたエンベロープ内にC2パリティまで共に拾える可能性がないからである。また200倍程度まで高速サーチするために、SYNC長も12バイトと短くしてある。

【0068】サブコードSYNCブロックは、1トラック当たり12SYNCブロックあり、これに24-25変換を施してから記録するので、総ビット長は、 $12 \times 12 \times 8 \times 25 \div 24 = 1200$ ビットとなる。

【0069】図22に、サブコードのID部を示す。サブコードセクターは、前半5トラック(525/60方式)、6トラック(625/50方式)と後半とでデータ部の内容が異なる。変速再生時や高速サーチ時に、前半部か後半部かを区別するためID0のMSBにF/R(Front/Rear)フラグがある。その下3ビットには、SYNC番号0と6ではアプリケーションID、AP3が入る(図22(a))。SYNC番号0と6以外では上から順にINDEX ID、SKIP ID、PP ID(Photo Picture ID)が格納される(図22(b))。INDEX IDは、インデックスサーチのためのもの、SKIP IDは、コマーシャルカットなど不要場面のカット用のIDである。PP IDは、静止画サーチ用のものである。ID0とID1にまたがっているのは、絶対トラック番号である。これは、テープの頭から順に絶対番号を打っていくもので、これを基にMICがTOC(Table Of Contents)サーチ等を行う。ID1の下位4ビットは、トラック内SYNC番号である。

【0070】図23にサブコードのデータ部を示す。大文字のアルファベットはメインエリア、小文字のアルファベットはオプションエリアを表している。サブコードの1SYNCブロックには1バックあるので、1トラック内のバック番号は0から11まで、計12バックある。同じ文字は、同じバック内容を示している。前半と後半とで内容が異なる。

【0071】メインエリアには、タイムコード、記録年月日等高速サーチに必要なものが格納される。サブコードデータの高速サーチはバック単位でサーチできるので特にバックサーチと呼んでいる。

【0072】オプションエリアは、AAUXやVAUXのようにそれを全部つないで使うことはできない。これは、前述のように2バイトのC1パリティしかなく、パリティの保護が弱いので、トラック毎にその内容を上下に振ると共に、前半と後半のトラック内で同じデータ

を多数回上書きして保護しているからである。従って、オプションエリアとして用いることができるのは、前半、後半それぞれ6バック分である。これは525/60方式、625/50方式共に同じである。

【0073】(7)MICのデータ構造

図24に、MICのデータ構造を示す。MIC内もメインエリアとオプションエリアに分かれており、先頭の1バイトと未使用領域(FFh)を除いてすべてバック構造で記述される。前述のように文字データだけは、可変長のバック構造で、それ以外はVAUX、AAUX、サブコードと同じ5バイト固定長のバック構造で格納される。

【0074】MICメインエリアの先頭のアドレス0には、MICのアプリケーションID、APM3ビットとBCID(Basic Cassette ID)4ビットがある。BCIDは、基本カセットIDであり、MIC無しカセットでのID認識(テープ厚み、テープ種類、テープグレード)用のIDボードと同じ内容である。IDボードは、MIC読み取り端子を従来の8ミリVTRのレコグニションホールと同じ役目をさせるもので、これにより従来のようにカセットハーフに穴を空ける必要がなくなる。

【0075】アドレス1以降に順に、CASSETTE ID、TAPE LENGTH、TITLE ENDの3バックが入る。CASSETTE IDバックには、テープ厚みのより具体的な値とMICに関するメモリ情報がある。TAPE LENGTHバックは、テープメーカーがそのカセットのテープ長をトラック本数表現で格納するもので、これと次のTITLE ENDバック(記録最終位置情報、絶対トラック番号で記録)から、テープの残量が直ちに計算できる。またこの記録最終位置情報は、カムコーダーで途中を再生して停止させ、その後、元の最終記録位置に戻るときやタイマー予約時に便利な使い勝手を提供する。

【0076】オプションエリアは、オプションイベントで構成される。メインエリアが、アドレス0から15まで16バイトの固定領域だったのに対し、オプションエリアはアドレス16以降にある可変領域である。その内容により領域の長さが変わり、イベント消去時にはアドレス16以降に残りのイベントを詰めて保存する。詰め込み作業後不要となったデータは、すべてFFhを書き込んでおき、未使用領域とする。オプションエリアは、文字どおりオプションで、おもにTOC(Table Of Contents)やテープ上のポイント(例、スチル再生を行うポイント)を示すタグ情報、それにプログラムに関するタイトル等の文字情報等が格納される。

【0077】MIC読出し時、そのバックヘッダーの内容により5バイト毎、または可変長バイト(文字データ)毎に、次のバックヘッダーが登場するが、未使用領

10

20

30

40

50

域のFFhをヘッダーとして読みだすと、これは情報無しバック(No Infoバック)のバックヘッダーに相当するので、コントロールマイコンはそれ以降に情報が無いことを検出できる。

【0078】2. 著作権保護信号の記録再生

(1) 著作権保護信号の概要

さて、本発明で対象となる著作権保護信号の1例を図25に示す。このように本来水平同期パルスがあつてはならない位置に疑似水平同期パルスa、b、c、d、eを挿入し、ダビング側VTRのサーボ回路を攪乱する。それと同時にf、g、h、i、jなるAGC(Auto Gain Control)パルスと呼ばれるパルス信号を挿入する。これは、アナログ的にレベルを変化させるもので、パルスのあるレベルの間を行き来する場合(パルシングモード)と、最大129IREまたはベデスタルレベルの12IREのどちらかに静止している静止モード等がある。kは、White Referenceと呼ばれるもので、119IRE固定である。ただしこども、ある時は119IRE、ある時はベデスタルレベルの12IREと変化する。この操作によりダビング側VTRの記録信号レベルは、通常信号レベルの約30%から70%位まで振られ、結果としてまともに記録はできない。

【0079】(2) 著作権保護信号野サンプリング及び量子化

次に、この著作権保護信号をサンプリングしてデジタル値化し、それをバック構造に詰め込む処理について説明する。

【0080】まずサンプリング周波数であるが、図25の疑似SYNCフロントポーチがその最小幅であるので、ここを再現するためにはサンプリング定理から、 $1 \div (1.8 \times 10^6 \div 2) = 1.111\text{MHz}$ 以上の周波数が必要になる。

【0081】この条件を満たすサンプリング周波数で1.11MHzに近いものとして下記(a)～(d)が考えられる。

(a) $72f_H = 1.13\text{MHz}$

(b) $858f_H / 10 = 1.35\text{MHz}$

(c) $858f_H$ カウントダウン = 13.5MHz (バースト)

(d) $3 \times 32f_H = 1.51\text{MHz}$

【0082】ここで、 f_H は水平同期信号周波数で525/60方式の場合15.734kHzである。また、 $858f_H$ は、図39に示されているようにデジタルVTRのビデオ信号のサンプリング周波数13.5MHzである。さらに、 $32f_H$ は、アメリカで既に法制化されている難視聴者対策のクロズドキャプションで用いている周波数である。

【0083】(a)は f_H の整数倍で上記条件を満たす最小の周波数であり、かつ f_H にロックしているが、新

たにPLL回路が必要になる。(b)の $858f_H / 10$ の場合には、 $1/10$ 分周回路があればよいが、1ライン当りのサンプル数が85.8個となり端数が出てしまう。(c)の $858f_H$ のカウントダウンは、おおよとの13.5MHzのサンプリングクロック(f_H にロックしている)をカウントダウンし、所定のサンプリング位置になったら1.35MHzのクロックを発生させる方式である。これは、カウントダウンのためのデコーダが必要になるが、位相が流れることもなく回路も簡単で確実なので、本実施例ではこれを採用する。

【0084】次に図25に示されている著作権保護信号のどの期間をサンプリングするかについては下記(e)～(g)が考えられる。

(e) 1ラインの720/858

(f) 35.7μsec分

(g) 58.2μsec分

【0085】(e)は図39から明らかなように、デジタルVTRで採用している有効エリアで、1ライン858サンプルのうち720サンプルを有効にするものである。この場合、水平同期信号(H、YNC)の立ち下がりからの有効サンプリング位置が決められている。

(f)は疑似SYNCA～Eをサンプリングし、White Referenceはサンプリングしない。

(g)はWhite Referenceまでサンプリングする。本実施例では(e)を選んだ。この理由はデジタルVTRで採用しているビデオの有効エリアと同じであるという点と、(f)、(g)の時間設定では、アナログ的で曖昧だからである。

【0086】図26にサンプリング期間とサンプリングパルスとの関係を図示する。525/60方式(NTSC)、625/50方式(PAL、SECAM)の両者についてそのサンプリング位置を示した。前記したように、これはデジタルVTRの規格そのものである。サンプリングクロックは図26(b)、(c)のように、所定のサンプリング位置から72個発生させる。そのデューティは、[H]期間5T、[L]期間5Tの50%が最適である。

【0087】次にサンプリングの量子化数であるが、図25の信号の性質から言ってビデオ信号の量子化数8ビットの半分の4ビットあれば十分である。2ビットでは不足であるし、3、5、6、7ビットでは8ビット1処理単位のデジタルVTRに馴染まない。そこで本実施例では4ビット量子化とした。

【0088】図27に、こうしてサンプリングされ量子化された著作権保護信号のデータを、ビデオ信号とマッチングさせる方法について示した。すなわち、4ビットデータをビデオの8ビットにマッチングさせるため、下位4ビットに0000を付加して8ビットデータにする。このデジタルレベルを、同図中程に記述した。また、その右側には、輝度信号のアナログレベルの0IR

Eから100IREまでが、デジタルレベルと対比して描かれており、さらにその右側にはベデスタルレベル(黒レベル)と白レベルのデジタル値が示されている。これから4ビットデータ0001の下位4ビットに0000を付加して8ビットデータにすると、ベデスタルレベルになることがわかる。

【0089】さて、図25でa、b、c、d、eの各疑似SYNCチップはそのレベルを変化させることはない。つまりベデスタルレベルからSYNCチップまでの間を細かく再現する必要はない。そこで本実施例では、このSYNCチップレベルを4ビットデータ0000で表現し、ベデスタルレベルから上を残りの0001から1111の15レベルで表現するようにした。これにより、ベデスタルレベルから上を細かく再現できる。これに対して、全レベルを均等量子化にすると無意味な所にもデジタル値が割り振られ、結果的にベデスタルレベルから上の表現が雑になってしまう。

【0090】ところで、4ビットデータ1111の下位4ビットに0000を付加して8ビットデータにした値では、図25の129IREまでは再現できていない。図26はデジタルVTR自身の規格なので、デジタル的に合成する時にはせいぜい110IREまでの再現となるが、特にこれで著作権保護の機能に障害が起こることはない。また、アナログ的に合成する時には、回路的に129IREまでレベルを引き上げればよいので問題はない。

【0091】(3) バック化

次にこうして得られたデータを格納するラインバックについて説明する。図8の説明の部分で述べたように、ラインデータを保存するラインバックには、1種類のラインヘッダーバック(バックヘッダー80h)と6種類のラインデータバック(Y用:バックヘッダー81h、R-Y用:バックヘッダー82h、B-Y用:バックヘッダー83h、R用:バックヘッダー85h、G用:バックヘッダー86h、B用:バックヘッダー87h)がある。

【0092】Y用、R-Y用、B-Y用は、本発明が適用されるデジタルVTRのコンポーネント信号用で、R用、G用、B用はコンピューター用途等を目的に用意されている。この中で図25の著作権保護信号を再現するためには、Y成分だけで十分なのでY用データバックを用いる。

【0093】そして、バックの格納エリアとしては、本来の著作権保護信号はビデオ信号の垂直ブランキング期間に挿入されているので、図18のVAUXのオプションエリアに格納することにする。格納順としては、各ライン単位でラインヘッダーバック、所定数のY用ラインデータバック、ラインヘッダーバック、所定数のY用ラインデータバックのようにした。

【0094】図28(a)にラインヘッダーバック、図

28(b)にY用ラインデータバックを示す。まず、図28(a)のラインヘッダーバックに格納される各データの意味は下記の通りである。

【0095】LINES: 格納すべきライン番号(1~1250)2進数で格納

B/W: 白黒かカラーか? ... 0:白黒, 1:カラー(通常)

EN: CLFが有効 ... 0:有効, 1:無効

CLF: カラーフレーム番号

CM: 第1フィールド、第2フィールド共通データか? ... 0:共通, 1:独立

TDS: 総サンプル数

QU: 量子化ビット数 ... 00:2ビット, 01:4ビット, 10:8ビット, 11:未定義

SAMP: サンプリング周波数 ... 000:13.5MHz, 001:27.0MHz, 010:6.75MHz, 011:1.35MHz, 100:74.25MHz, 101:37.125MHz, その他:未定義

【0096】ここで、B/W、EN、CLFは業務用のもので、民生用特に本願の著作権保護信号が記録されるようなソフトテープの場合には使用しない。この4ビットは、1111とする。

【0097】次に、図28(b)のYバックには、Yバックであることを識別する81hが格納されているPC0及びそれぞれ8ビットのデータを格納するPC1~PC4から構成されている。したがって、1個のY用データバックには32ビット、すなわち8サンプル分のデータが格納できることになる。

【0098】ところで、ビデオ信号のライン番号の呼称には2通りある。1つは第1フィールドと第2フィールドで通して表現する方法(例えばNTSCの場合には、1~525ライン)、もう1つは第1フィールドと第2フィールドとで別々に表現する方法である(例えば第1フィールドのライン21、第2フィールドのライン11)。そして、CMフラグは、ラインデータバックに格納するデータが第1フィールドと第2フィールドで共通の位置、共通の内容を有するような応用例の場合に有効である。

【0099】例えば、ラインヘッダーバックにCM=0、LINES=10に格納すれば、そのヘッダーバックに続けて第1フィールド及び第2フィールドに共通のデータを格納したラインデータバックを格納することにより、第1フィールドのデータ及び第2フィールドのデータを個別に格納する場合の半分のデータバックで必要なデータを記録できる。ちなみに第2フィールドのライン10は、通し表現ではライン273である。

【0100】TDSは、ラインデータバックの各データ格納エリアのどこまでが実データなのかを示す。余った格納エリアには、情報無しの意味のオール1を書き込ん

でおく。本実施例では4ビット量子化で1ラインあたり72サンプリングなので、ちょうど9バック分に収まり余りはでない。

【0101】さて、著作権保護信号は、第1フィールド、第2フィールドを比べた場合、その位置は同じでありその内容も同じなので、前記のCMフラグが有効に使える。またこの著作権保護信号は12~20、275~283の各水平ラインのどこかに格納されており、ほとんどのアナログビデオテープの場合8ライン分であるので、ここでの一実施例では8ライン分を格納するものとする。なお、バック構造なので必要があれば簡単にその格納ライン数を増減できる。

【0102】図29に実際のバックへのデータ格納例を示す。ここでは、第1フィールド、第2フィールドのライン13~20までの格納する事を想定している。ラインヘッダーバックのPC1に格納されるLINESでその格納ライン番号を指定できるので、実際には格納ラインは必ずしも連続してなくてもよい。この図に示されているように、ラインデータは下位4ビット、上位4ビットの順に詰め込まれる。

【0103】図30に、図29のヘッダーバック及びデータバックを図18のビデオ付随データのオプションエリアに格納した例を示す。このように本実施例では著作権保護信号のバックは1ビデオフレーム内に収まることとなる。

【0104】(4) 記録再生系

次に本発明の記録側、再生側の回路例について説明する。まず、ラインバックデータの記録再生の流れを図31を参照しながら説明する。

【0105】プリントハウスでは、ソフトテープとして記録する信号のうちアナログビデオ信号Aには、従来の著作権保護信号発生器1を使って垂直ブランキング期間に従来通り著作権保護信号を挿入する。そして著作権保護信号が挿入されたアナログビデオ信号BをデジタルVTRの記録フォーマットに変換するためのフォーマット変換器2に渡す。ここには、アナログやデジタルのオーディオ信号の他に本発明のラインデータ信号発生器3が接続される。このラインデータ信号発生器3により図25の著作権保護信号を抜き出し、図30のフォーマットに変換してデジタルソフトテープ4のVAUXのオプションエリアに格納する。

【0106】そして、ユーザーのデジタルVTR5は再生時にデジタルソフトテープ4のVAUXのオプションエリアに格納されたラインバックデータを検出し、著作権保護信号を復元し、所定のラインに挿入してアナログビデオ信号Eを出力する。

【0107】(イ) 記録系

次に、図31のラインデータ信号発生器3の回路例について説明する。ラインデータ信号発生器3は、基本的にはビデオ信号の垂直ブランキング期間に著作権保護信号

が挿入されているかどうかを検出し、挿入されている場合にそれをサンプリングしてデータバックに格納する処理を行うように構成されているので、まず、ラインデータ信号発生器3内の著作権保護信号検出回路について説明する。

【0108】図32は著作権保護信号検出回路の構成を示すブロック図、図33にそのタイムチャートを示す。ここで、図32における信号a~eは図33(a)~(e)に対応する。また、aはアナログレベルの信号、その他はデジタルレベルの信号である。

【0109】アナログコンポジットビデオ信号aは、ベデスタルクランプ回路33によりベデスタルのDC成分が一定値にクランプされ、SYNCチップレベルスライス回路34に加えられる。ここではSYNCチップの部分を抜きだしてデジタルレベルの信号dを作り出す。一方コンポジットビデオ信号aから分離された水平同期パルスbは、モノマルチ31によりcのような波形に変換され、ゲート回路32へ供給される。そして、ここでSYNCチップレベルスライス回路34から出力された信号dによりゲートされ、信号eとなってカウンタ35へ供給される。カウンタ35は水平同期信号の立ち下がりでクリアされるように構成されているので、1ライン毎に図25の疑似SYNCパルスの数をカウントする。そして、カウンタ35の出力は比較器36へに供給される。比較器36には比較値として例えば3が入力されているので、カウンタ35の出力が3になった時に比較器36が検出信号を出力する。これは、ノイズによる誤カウントを防ぐために設けてあるもので、例えば3つ以上カウントされて初めて著作権保護信号ありと認識する。

【0110】図34はラインデータ信号発生器の回路例である。端子11から入力されるアナログコンポジットビデオ信号は、同期分離回路12に供給され、ここで水平同期信号(H、SYNC)と垂直同期信号(V、SYNC)が分離される。この時、著作権保護信号の疑似SYNCに攪乱されないように、図32のようなモノマルチ等を用いて対策を取る事が肝要である。

【0111】分離された垂直同期信号はPLL回路13へ供給され、ここで13.5MHzの基準クロック信号が作成される。この基準クロック信号はデコーダ回路14へ供給され、ここで図26に示した1.35MHzのサンプリングクロックを作成する。

【0112】著作権保護信号検出回路19は図32に示したもので、この回路が著作権保護信号の有無を判別している間、入力されたコンポジットビデオ信号は1Hアナログ遅延回路15により遅延させておく。

【0113】1Hアナログ遅延回路15の出力は、4ビットA/D変換器16により常にデジタル化される。そして、著作権保護信号検出回路19が著作権保護信号があることを検出した時には、リード/ライト制御回路20の制御によりメモリ17に書き込まれる。メモリ1

7は1ライン毎のサンプリングデータを記憶するもので、4ビット×72サンプルを8ライン分持っている。なお、アドレス生成回路18はメモリ17の書き込み及び読出しアドレスとチップセレクト信号を生成するものである。

【0114】本実施例では、1フィールド目の高々20ライン分をだけ監視すれば十分なので、残りの時間でラインバックに詰め込む。Hカウンタ回路21は著作権保護信号がある時のライン番号をLINESデータとして、ラインバック処理マイコン23に与える。メモリ17のデータはスイッチング回路22で切り替えられながら、ラインデータとして同様にラインバック処理マイコン23に与えられる。これらを用いて、ラインバック処理マイコン23は図29のようなデータを生成し、それらを図31のフォーマット変換器へ送る。

【0115】次に、図35を参照しながらフォーマット変換器について説明する。フォーマット変換器は記録専用のデジタルVTRにラインデータとのインターフェースを設けたものである。

【0116】入力されるアナログコンポジットビデオ信号は、Y/C分離回路41によりR-Y、R-Yの各コンポーネント信号に分離され、A/D変換器42へ供給される。また、アナログコンポジットビデオ信号は同期分離回路44へ供給され、ここで分離された同期信号はクロック発生器45へ供給される。クロック発生器45はA/D変換器42及びブロッキングシャフリング回路43のためのクロック信号を生成する。

【0117】A/D変換器42へ入力されたコンポーネント信号は、525/60方式の場合、Y信号は13.5MHz、色差信号は13.5/4MHzのサンプリング周波数で、また625/50方式の場合、Y信号は13.5MHz、色差信号は13.5/2MHzのサンプリング周波数で、A/D変換が行われる。そして、これらのA/D変換出力のうち有効走査期間のデータのみがブロッキング・シャフリング回路43へ供給される。

【0118】このブロッキング・シャフリング回路43において、Y、R-Y、B-Yの各々の有効データから水平方向8サンプル、垂直方向8サンプルを1つのブロックとするデータにまとめ、さらにYのブロック4個、R-YとB-Yのブロックを1個ずつ、計6個のブロックを単位として画像データの圧縮効率を上げ、かつ再生時のエラーを分散させるためのシャフリングを行い、圧縮符号化回路46へ供給する。

【0119】圧縮符号化回路46は、入力された水平方向8サンプル、垂直方向8ラインのブロックデータに対してDCT（離散コサイン変換）を行い、その結果を見積り器48及び量子化器47へ出力する。量子化器47は見積り器48の出力を基に量子化ステップを決定し、可変長符号化を用いたデータ圧縮を行って、フレーミング回路49へ出力する。フレーミング回路49は圧縮された

画像データを図16のフォーマットにフレーム化し、合成器50へ出力する。

【0120】また、入力オーディオ信号はA/D変換器51によりデジタルオーディオ信号に変換され、シャフリング回路52によりデータの分散処理を受け、フレーミング回路53により図12のフォーマットにフレーム化される。フレーミング回路53の出力は合成器54へ出力される。

【0121】VAUX、AAUX、サブコードの各バックデータ及びサブコードデータのIDに格納されるトラック番号は、ラインデータ信号発生器から信号処理マイコン55へ取り込まれ、このマイコンとハードウェアとの間を取り持つインターフェースであるVAUX用IC56、サブコード用IC57及びAAUX用IC58に与えられる。VAUX用IC56は、AP2とVAUXのバックデータを生成し、所定のタイミングで合成器50へ出力する。これにより、ビデオデータとビデオ付随データが図16のフォーマットに合成される。また、サブコード用IC57は、図21のID部のデータSIDとAP3と5バイトのバックデータSDATAを生成する。そして、AAUX用IC58は、AP1とAAUXのバックを生成し、所定のタイミングで合成器54へ出力する。これにより、オーディオデータとオーディオ付随データが図12のフォーマットに合成される。

【0122】合成器50、サブコード用IC57及び合成器54の出力は第1のスイッチング回路SW1へ供給される。さらに、AV ID、Pre-SYNC、Post-SYNC発生器59の出力も、第1のスイッチング回路SW1へ供給される。このスイッチング回路SW1を所定のタイミングで切り替えることにより、合成器50及び合成器54の出力にIDとPre-SYNC及びPost-SYNCを付加する。

【0123】第1のスイッチング回路SW1の出力はパリティ生成回路60において、所定のパリティが付加され、乱数化回路61、24/25変換回路62へ供給される。ここで、乱数化回路61はデータの直流成分をなくすために入力データを乱数化する。また、24/25変換回路62は、データの24ビット毎に1ビットを付加してパイロット信号成分を付与する処理及びデジタル記録に適したプリコード処理（パシシャルレスポンスクラスIV）を行う。

【0124】こうして得られたデータは合成器63へ供給され、ここでA/V SYNC、サブコード SYNC発生器64が生成したオーディオ、ビデオ及びサブコードのSYNCパターンが合成される。合成器63の出力は第2のスイッチング回路SW2へ供給される。また、ITI発生器65が出力するITIデータとアンブルパターン発生器66が出力するアンブルパターンも、第2のスイッチング回路SW2へ供給される。ITI発生器65には、モード処理マイコン67からAPT、S

P/LP、PFの各データが供給される。ITI発生器65はこれらのデータを図2のTIAの所定の位置に嵌め込んで第2のスイッチング回路SW2へ供給する。したがって、スイッチング回路SW2を所定のタイミングで切り替えることにより、合成器63の出力にアンプパターン及びITIデータを付加することができる。第2のスイッチング回路SW2の出力は記録アンプ（図示せず）により増幅され、磁気ヘッド（図示せず）により磁気テープ（図示せず）に記録される。

【0125】モード処理マイコン67は装置全体のモード管理を行う。このマイコンに接続された第3のスイッチング回路SW3は、SP/LPモードの設定を行うもので、その設定結果はモード処理マイコン67により検出され、マイコン間通信により信号処理マイコン55、MICマイコン69及びメカ制御マイコン（図示せず）へ与えられる。

【0126】MICマイコン69はMIC (Memory In Cassete) 処理用のマイコンである。ここでバックデータやAPM等を生成し、MIC接点（図示せず）を介してMIC付きカセット（図示せず）内のMIC68へ与える。

【0127】(ロ)再生系

次に図31の再生復元側の回路例について述べる。まず図36及び図37を参照しながら本発明を適用したデジタルVTRの再生側回路例を説明する。

【0128】磁気ヘッド（図示せず）により磁気テープ（図示せず）から再生された微弱信号は、ヘッドアンプ（図示せず）により増幅され、イコライザ回路71へ加えられる。イコライザ回路71は、記録時に磁気テープと磁気ヘッドとの電磁変換特性を向上させるために行ったエンファシス処理（例えばパーシャルレスポンスクラスIV）の逆処理を行うものである。

【0129】イコライザ回路71の出力からクロック抽出回路72によりクロックCKを抜き出す。このクロックCKをA/D変換器73へ供給し、イコライザ回路71の出力をデジタル値化する。こうして得られた1ビットデータをクロックCKを用いてFIFO74に書き込む。

【0130】このクロックCKは、回転ヘッドドラムのジッター成分を含んだ時間的に不安定な信号である。しかしA/D変換する前のデータ自身もジッター成分を含んでいるので、サンプリングすること自体には問題はない。ところが、これから画像データ等を抜き出す時には、時間的に安定したデータになっていないと取り出せないで、FIFO74を用いて時間軸調整を行う。つまり書き込みは不安定なクロックで行うが、水晶発信子等を用いた自励発信器91からの安定したクロックSCKで読み出す。FIFO74の深さとしては、入力データの入力スピードよりも速く読み出さないような余裕のあるものにする。

【0131】FIFO74の各段の出力はSYNCパターン検出回路75に加えられる。ここには、第5のスイッチング回路SW5により、各エリアのSYNCパターンが、タイミング回路79で切り替えられて与えられる。SYNCパターン検出回路75はフライホイール構成になっており、一度SYNCパターンを検出すると、それから所定のSYNCブロック長後に再び同じSYNCパターンが来るかどうかを見る。それが例えば3回以上正しければ真とみなすような構成にして、誤検出を防いでいる。FIFO74の深さはこの数分は必要である。

【0132】こうしてSYNCパターンが検出されると、FIFO74の各段の出力からどの部分を抜き出せば一つのSYNCブロックが取り出せるか、そのシフト量が決定されるので、それを基に第4のスイッチング回路SW4を閉じて、必要なビットをSYNCブロック確定ラッチ77に取り込む。これにより、取り込んだSYNC番号をSYNC番号抽出回路78において取り出し、タイミング回路79へ供給する。この読み込んだSYNC番号によりトラック上のどの位置をヘッドが走査しているかがわかるので、それにより第5のスイッチング回路SW5及び第6のスイッチング回路SW6を切り替える。

【0133】第6のスイッチング回路SW6は、ヘッドがITIセクターを走査している時下側に切り替わっており、減算器80によりITISYNCパターンを取り除いて、ITIデコーダ81に加える。ITIエリアはコーディングして記録してあるので、それをデコードすることにより、APT、SP/LP、PFの各データを取り出せる。これは、SP/LPモードを設定する第7のスイッチング回路SW7が接続された装置全体の動作モード等を決めるモード処理マイコン82へ与えられる。モード処理マイコン82はメカ制御マイコン85や信号処理マイコン100と連携を取って、セット全体のシステムコントロールを行う。

【0134】モード処理マイコン82には、APM等を管理するMICマイコン83が接続されている。MIC付きカセット（図示せず）内のMIC84からの情報は、MIC接点スイッチ（図示せず）を介してこのMICマイコン83に与えられ、モード処理マイコン82と役割分担しながら、MICの処理を行う。セットによっては、このMICマイコン83は省略され、モード処理マイコン82でMIC処理を行う場合もある。

【0135】ヘッドがA/VセクターやSubcodeセクターを走査している時には、第6のスイッチング回路SW6は上側に切り替わっている。減算器86により各セクターのSYNCパターンを抜き出した後、24/25逆変換回路87を通し、さらに逆乱数化回路88に加えて、元のデータ列に戻す。こうして取り出したデータをエラー訂正回路89に加える。

【0136】エラー訂正回路89では、記録側で付加されたパリティを用いて、エラーデータの検出、訂正を行うが、どうしても取りきれなかったデータはERRORフラグをつけて出力する。各データは第8のスイッチング回路AW8により切り替えられて出力される。AV ID、Pre-SYNC、Post-SYNC抽出回路90は、A/Vセクター及びPre-SYNCとPost-SYNCに格納されていたSYNC番号、トラック番号それにPre-SYNCに格納されていたSP/LPの各信号を抜き出す。これらはタイミング回路79に与えられ各種タイミングの生成に使用される。

【0137】SP/LPについては、モード処理マイコン82がITIから得られたものとの比較検討を行う。ITIエリアには、その中のTIAエリアに3回SP/LP情報が書かれており、そこだけで多数決等を取って信頼性を高める。Pre-SYNCは、オーディオ、ビデオにそれぞれ2 SYNCづつあり、計4箇所SP/LP情報が書かれている。ここもそこだけで多数決等を取って信頼性を高める。そして最終的に両者が一致しなかった場合には、ITIエリアのものを優先して採用する。

【0138】第8のスイッチング回路SW8から出力されたV DATAは、第9のスイッチング回路SW9によりビデオデータとビデオ付随データに切り分けられる。そして、ビデオデータはエラーフラグと共にデフレーミング回路94に与えられる。

【0139】デフレーミング回路94は記録側のフレーミングの逆変換をする所で、その中に詰め込まれたデータの性質を把握している。そこであるデータに取りきれなかったエラーがあったとき、それがそのほかのデータにどう影響を及ぼすかを理解しているので、ここで伝播エラー処理を行う。これによりERRORフラグは、新たに伝播エラーを含んだVER RORフラグとなる。また、エラーのデータでも画像再現上重要でないものは、その画像データにある細工をして、エラーフラグを消してしまう処理も、このデフレーミング回路94で行う。

【0140】ビデオデータは逆量子化回路95、逆圧縮回路96を通して、圧縮前のデータに戻される。次にデシャッフル・デブロッキング回路97により、データをもとの画像空間配置に戻す。この実画像空間にデータを戻して初めて、VER RORフラグを基に画像の補修が可能になる。つまり、例えば常に1フレーム前の画像データをメモリに記憶させておき、エラーとなった画像ブロックを前の画像データで代用してしまうような処理が行われる。

【0141】さてデシャッフル以降は、輝度信号と色差信号の3系統にデータを分けて扱う。そしてD/A変換器101~103によりY、R-Y、B-Yの各アナログ成分に戻される。この時のクロックは発振回路91の出力とそれを分周器92にて分周した出力を用い

る。つまりYは、13.5MHz、R-Y、B-Yは、6.75MHz または3.375MHz である。

【0142】こうして得られた3つの信号成分は、Y/C合成回路104において合成され、さらに合成器105において同期信号発生回路93からのコンポジット同期信号と合成され、コンポジットビデオ信号として端子106から出力される。

【0143】第8のスイッチング回路SW8から出力されたA DATAは、第10のスイッチング回路SW10によりオーディオデータとオーディオ付随データに切り分けられる。そして、オーディオデータはERRORフラグと共にデフレーミング回路107に与えられる。デフレーミング回路107は、記録側のフレーミングの逆変換をする所で、その中に詰め込まれたデータの性質を把握している。そこであるデータに取りきれなかったエラーがあったとき、それがそのほかのデータにどう影響を及ぼすかを理解しているので、ここで伝播エラー処理を行う。例えば、16ビットサンプリングの時、1つのデータは8ビット単位なので、1つのERRORフラグは、新たに伝播エラーを含んだAERRORフラグとなる。

【0144】オーディオデータは、次のデシャッフル回路108により元の時間軸上に戻される。この時、先ほどのAERRORフラグを基にオーディオデータの補修作業を行う。つまり、エラー直前の音で代用する前値ホールド等の処理を行う。エラー期間があまりに長く、補修が効かない場合には、ミュート等の処置をして音そのものを止めてしまう。

【0145】このような処置をした後、D/A変換器109によりアナログ値に戻し、画像データ等のタイミングを取りながら、アナログオーディオ出力端子110から出力する。

【0146】さて、第9のスイッチング回路SW9及び第10のスイッチング回路SW10により切り分けられたVAUX、AAUXの各データは、それぞれVAUX用IC98及びAAUX用IC111においてエラーフラグも参考にしながら多数決処理等の前処理を行う。サブコードセクターのIDデータSIDとバックデータSDATAは、サブコード用IC112に与えられ、ここでもエラーフラグも参考にしながら多数決処理等の前処理を行う。その後、信号処理マイコン100に与えられ、最終的な読み取り動作を行う。この時取りきれなかったエラーは、それぞれVAUXER、SUBER、AAUXERとして信号処理マイコン100に与えられる。なお、VAUX用IC98、AAUX用IC111、サブコード用IC112は、それぞれAP2、AP3、AP1の生成処理も行う。

【0147】ここでの付随データのエラー処理について補足すると、各々のエリアにはメインエリアとオブショナルエリアがある。そして525/60方式の場合に

は、同じデータがメインエリアに10回書かれている。従ってそのうちいくつかはエラーしていても、その他のデータで補足再現できるのでそのERRORフラグはもはやエラーではなくなる。ただしサブコード以外のオプションエリアについてはデータは1回書きなので、エラーはそのままVAUXER、SUBER、AAUXERとして残ることになる。

【0148】信号処理マイコン100は、さらに各データのバックの前後関係などから類推して、伝播エラー処理やデータの補修処理等を行う。こうして判断した結果は、モード処理マイコン82に与えられ、セット全体の挙動を決める材料にする。

【0149】著作権保護信号生成回路99は、VAUX用IC98、同期信号発生回路93、及びタイミング回路79から信号を受けて動作する。そして、そのライン番号一致出力により、第11のスイッチSW11を図の下側に切り替え、ラインデータ出力をD/A変換器101へ送り込む。これにより所定のラインに図25のような著作権保護信号を挿入する。アナログ的に合成する時には、合成器105において挿入する。

【0150】次に、図38を参照しながら著作権保護信号生成回路99について説明する。VAUX用IC98は図30の格納エリアからラインデータを読み込む。そして、すぐにその内容を識別して、LINESのデータよりライン番号をY用ラインデータバックからラインデータをダイレクトに取り出す。これを図38のメモリ201に格納する。

【0151】メモリ201は4ビット×72サンプルのラインデータとライン番号を格納するチップを8個備えており、リード/ライト制御回路203が出力する制御信号とアドレス生成回路202が生成するアドレス信号及びチップセレクト信号により、書き込み/読出しの動作が制御される。

【0152】メモリ201の中味はVTRの電源投入時に一度だけクリアする。また、VAUX用IC98からVAUXERが供給される。これにより、VAUXERがある時にラインデータ及びライン番号をメモリ201内に取り込まないように制御し、以前に取り込んだデータをエラー時の値として代用する。著作権保護信号は前述の通りフレーム毎に極端に変わるわけではなく、前フレームとの相関性が非常に高いのでこのようなエラー処理が可能である。

【0153】メモリ201から読み出されたラインデータはラインデータラッチ205にラッチされる。ラインデータラッチ205にはラインデータの低位4ビットに付加する0000があらかじめラッチされている。また、メモリ201から読み出されたライン番号はライン番号ラッチ204にラッチされる。そして、同期信号発生回路93で作った水平同期信号をHカウンタ206にてカウントした値とそのライン番号ラッチ204との一

致を比較器207にて検出し、一致を検出した出力を用いて前記したように図37のスイッチSW11を下側に切り替え、タイミング回路79によりタイミングを合わせながらラインデータラッチ205から出力される8ビットのラインデータを挿入する。

【0154】

【発明の効果】本発明によれば、アナログ方式のVTRのソフトテープに使用している攪乱信号のような画像信号の実画像以外の部分に挿入されている著作権保護信号を圧縮方式のデジタルVTRで記録、再生することができる。

【図面の簡単な説明】

【図1】本発明が適用されるデジタルVTRの1本のトラックを示す図である。

【図2】図1のデジタルVTRのITIエリアの構成を示す図である。

【図3】APTによりトラック上のデータ構造が決定されることを示す図である。

【図4】テープ上及びMICのアプリケーションIDの構造を示す図である。

【図5】APT=000の時のトラック上のデータ構造を示す図である。

【図6】バックデータの構成を示す図である。

【図7】ヘッダーの階層構造を示す図である。

【図8】バックヘッダー表の概要を示す図である。

【図9】オーディオ付随データ及びビデオ付随データのソースコントロールバックのPC1のデータを示す図である。

【図10】図10のオーディオセクターの構成を示す図である。

【図11】オーディオセクターのプリSYNCとポストSYNCを示す図である。

【図12】オーディオセクターのSYNCブロック及びフレーミングフォーマットを示す図である。

【図13】オーディオ付随データを9バック分を抜きだしてトラック方向に記述した図である。

【図14】ビデオセクターの構成を示す図である。

【図15】ビデオセクターのSYNCブロックを示す図である。

【図16】ビデオセクターのフレーミングフォーマットを示す図である。

【図17】ビデオ付随データ専用のSYNCを示す図である。

【図18】ビデオ付随データを45バック分抜き出してトラック方向に記述した図である。

【図19】ID部の構成を示す図である。

【図20】サブコードセクターの構成を示す図である。

【図21】サブコードセクターのSYNCブロックを示す図である。

【図22】サブコードセクターのID部を示す図であ

る。

【図23】サブコードセクターのデータ部を示す図である。

【図24】MICのデータ構造を示す図である。

【図25】著作権保護信号の1例を示す図である。

【図26】サンプリング期間とサンプリングパルスとの関係を示す図である。

【図27】量子化された著作権保護信号とビデオ信号との関係を示す図である。

【図28】ラインヘッダーパック及びラインデータパックを示す図である。

【図29】量子化した著作権保護信号をラインヘッダーパック及びラインデータパックに格納した1例を示す図である。

【図30】図29のヘッダーパック及びデータパックをビデオ付随データのオプションエリアに格納した例を示す図である。

【図31】本発明の記録側及び再生側における使用態様の1例を示す図である。

【図32】著作権保護信号検出回路の構成の1例を示す

ブロック図である。

【図33】著作権保護信号検出回路の動作タイミングチャートである。

【図34】ラインデータ信号発生器の構成の1例を示すブロック図である。

【図35】フォーマット変換器の構成の1例を示すブロック図である。

【図36】デジタルVTRの再生系の一部の構成の1例を示すブロック図である。

【図37】デジタルVTRの再生系の一部の構成の1例を示すブロック図である。

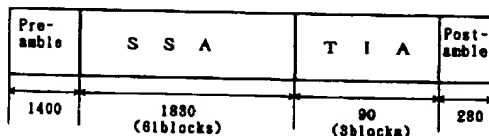
【図38】著作権保護信号生成回路の構成の1例を示すブロック図である。

【図39】デジタルVTRの有効走査期間を示す図である。

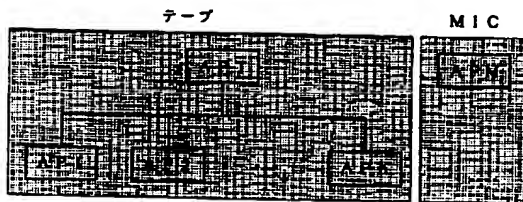
【符号の説明】

3…ラインデータ信号発生器、2…フォーマット変換器、19…著作権保護信号検出回路、23…ラインパック処理マイコン、99…著作権保護信号生成回路、57, 98…VAUX用IC

【図2】



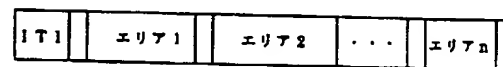
【図4】



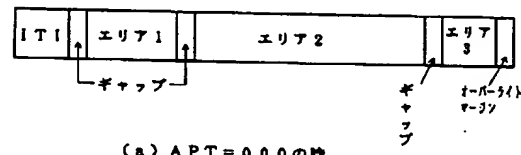
【図6】

Word Name	MSB	LSB
PC 0	ヘッダー	
PC 1		
PC 2		
PC 3		
PC 4		
	データ	

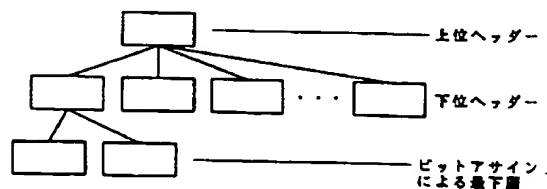
【図3】



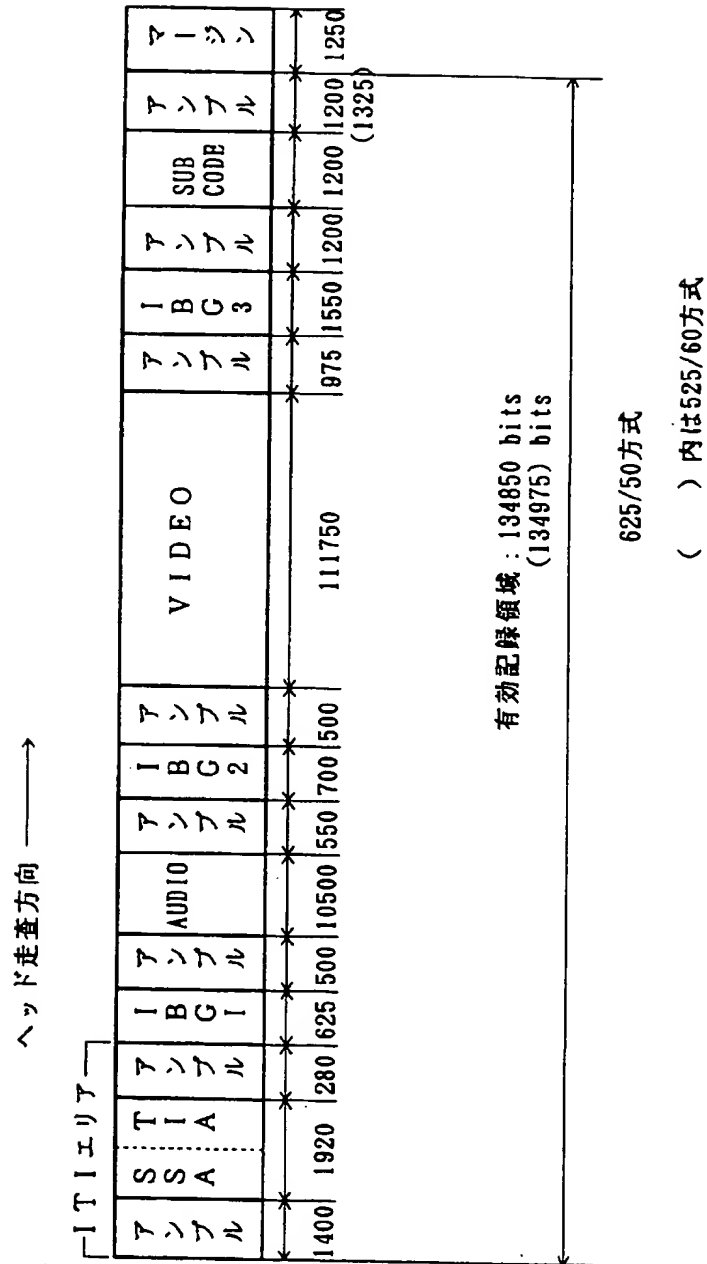
【図5】



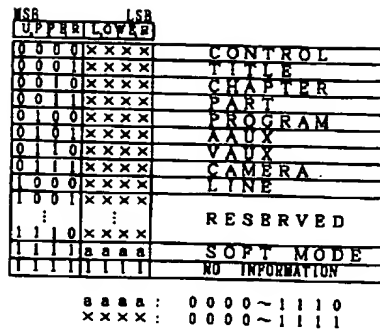
【図7】



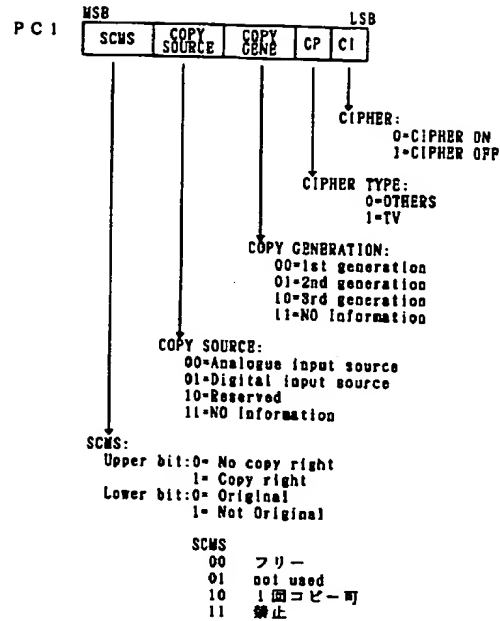
【図1】



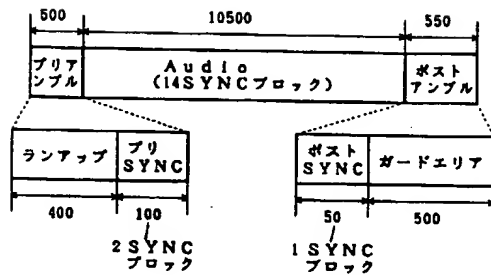
【図8】



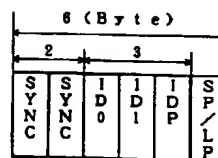
【図9】



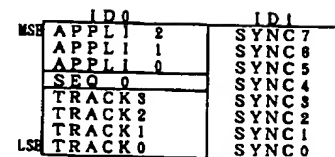
【図10】



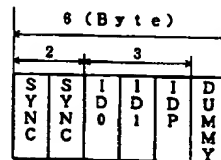
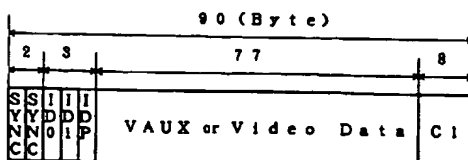
【図11】



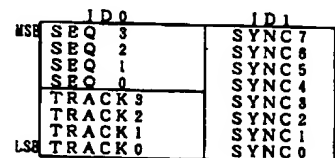
(a) プリ SYNC ブロック

(a) プリ SYNC, ポスト SYNC
C2 パリティ SYNC

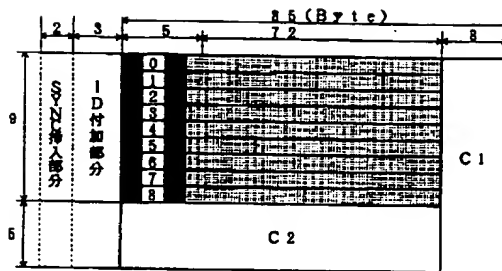
【図15】



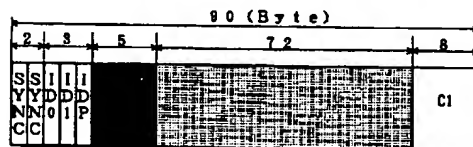
(b) ポスト SYNC ブロック

(b) AAUX+Audio SYNC
Video SYNC

【図12】



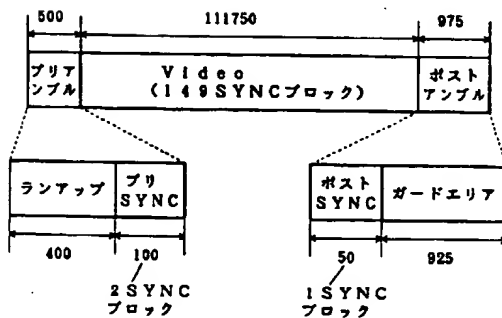
(a)



(b)

■ : AAUX
 ■ : AUDIO DATA

【図14】



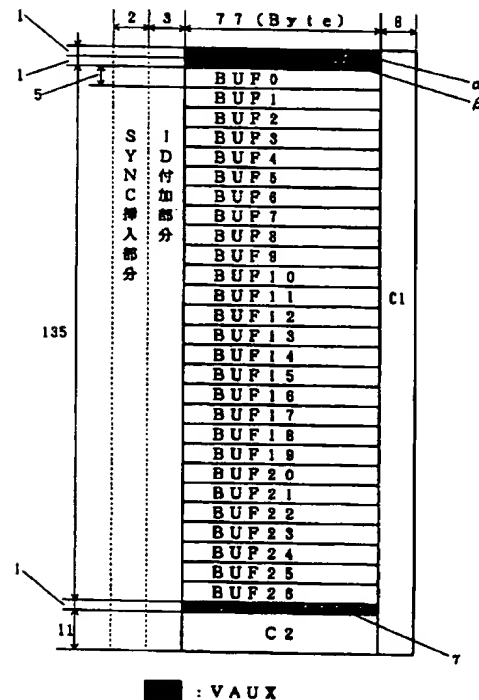
【図20】

プリアンブル (ランアップ)	Subcode	ポストアンブル (ガードエリア)
1200	1200	1325(525/60) 1200(625/50)

【図13】

トラック番号	1	2	3	4	5	6	7	8	9	10
8	65	f	55	5	65	5	55	5	55	5
7	54	e	54	5	54	5	54	5	54	5
6	63	d	53	5	53	5	53	5	53	5
5	52	55	52	55	52	55	52	55	52	55
4	51	54	51	54	51	54	51	54	51	54
3	50	53	50	53	50	53	50	53	50	53
2	c	52	1	52	1	52	1	52	1	52
1	b	51	h	51	5	51	5	51	5	51
0	a	50	g	50	5	50	5	50	5	50

【図16】



【図21】

12 (Byte)						
2	3	5	2			
SYN	C	I	D	I	D	P
DATA					C1	

(a) 0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 C

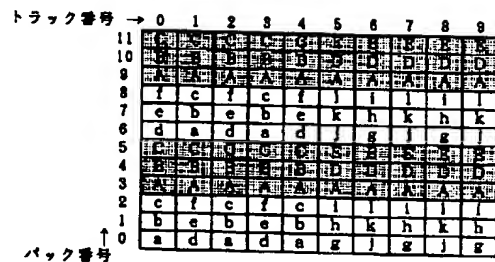
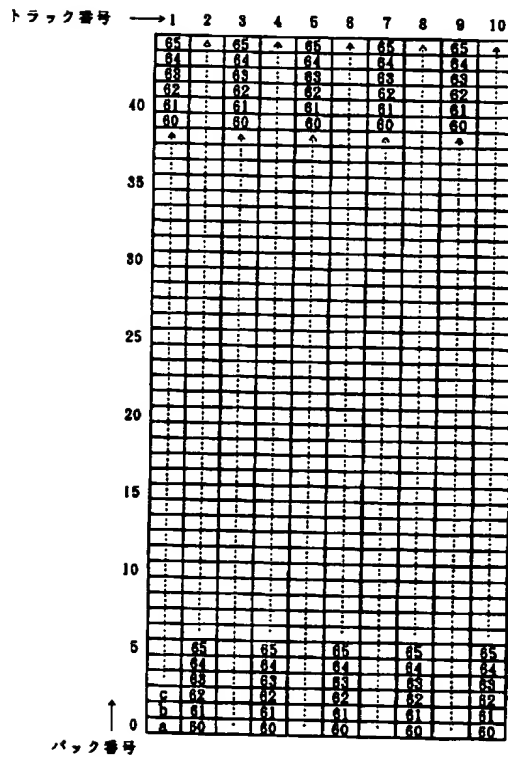
(b) 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 C

(c) 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 C

SSYNNCSIDDIP

RSV RSV RSV RSV RSV RSV RSV RSV RSV RSV

【图 2 3】



【图 2 2】

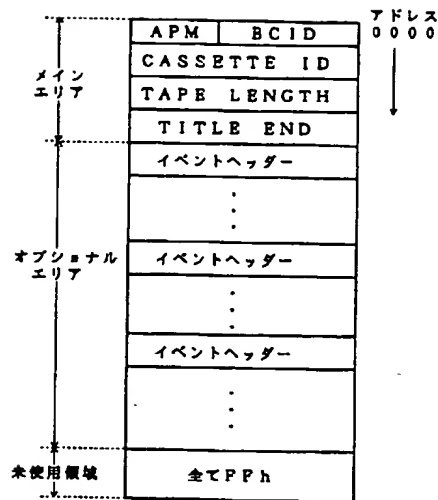
	ID0	ID1
MSE	P/R	ABSTR3
	AP38	ABSTR2
	AP32	ABSTR1
	AP31	ABSTR0
	ABSTR7	SYNC3
	ABSTR6	SYNC2
	ABSTR5	SYNC1
LSE	ABSTR4	SYNC0

(A) SYNC番号 0, 8

	ID0	ID1
MSB	P/R	ABSTR3
	INDEX	ABSTR2
	SKIP	ABSTR1
	PP	ABSTR0
	ABSTR7	SYNC3
	ABSTR6	SYNC2
	ABSTR5	SYNC1
LSB	ABSTR4	SYNC0

(b) SYNC番号0. 8以外

【図24】



【図28】

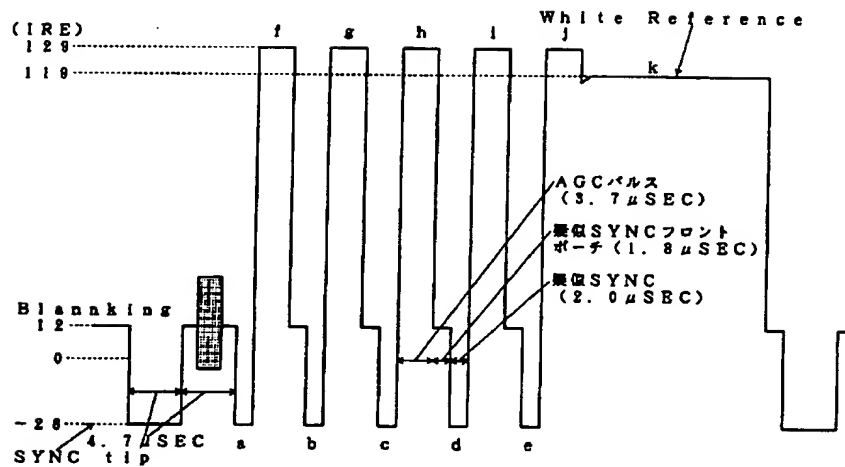
	MSB	LSB
PC 0	1	0 0 0 0 0 0 0 0
PC 1		0 0 0 0 0 0 0 0
PC 2	B/W	EN CLF CM
PC 3		TDS (BINARY)
PC 4	QU	SAMPLING fr.

(a) ラインヘッダーパック

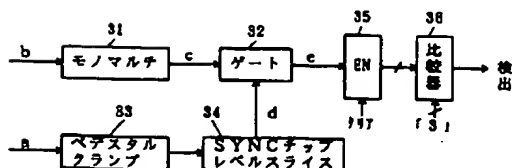
	MSB	LSB
PC 0	1	0 0 0 0 0 0 0 1
PC 1		
PC 2		
PC 3		
PC 4		

(b) Yパック

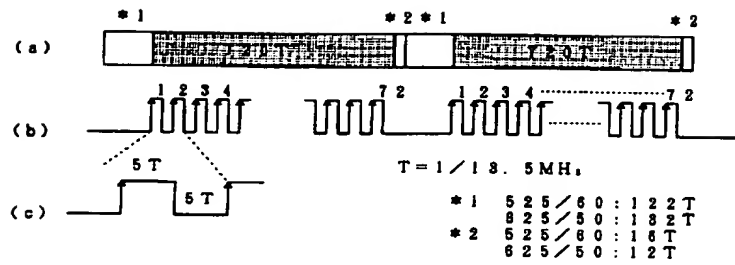
【図25】



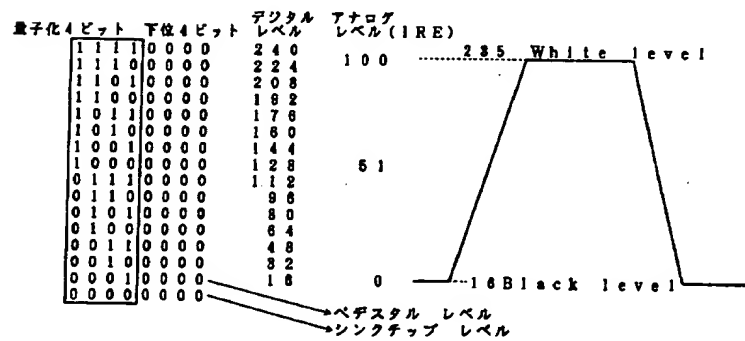
【図32】



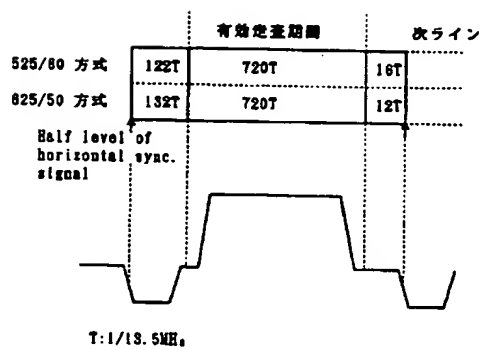
【図26】



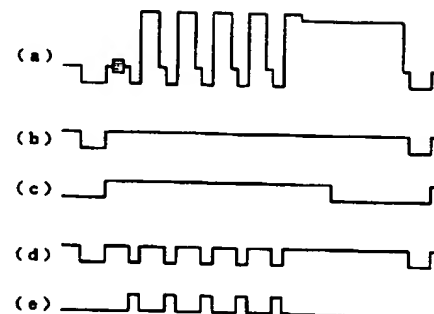
【図27】



【図39】



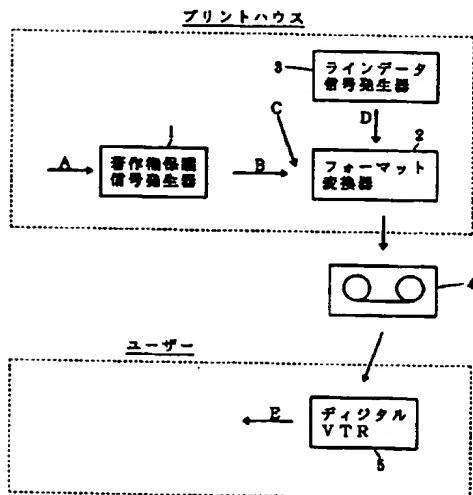
【図33】



【図29】

Line 13										Line 20									
ラインヘッダーバック										ラインヘッダーバック									
Line=L3										Line=L3									
B/W=47, CLP=無効, CM=0										B/W=47, CLP=無効, CM=0									
TDS=72										TDS=72									
QU=4bits, f=13.5MHz										QU=4bits, f=13.5MHz									
Yバック										Yバック									
S2	S1	Sample Data 1~8								S2	S1	Sample Data 1~8							
S4	S3									S4	S3								
S6	S5									S6	S5								
S8	S7									S8	S7								
S10	S9									S10	S9								
S12	S11									S12	S11								
S14	S13									S14	S13								
S16	S15									S16	S15								
S18	S17									S18	S17								
S20	S19									S20	S19								
S22	S21									S22	S21								
S24	S23									S24	S23								
S26	S25									S26	S25								
S28	S27									S28	S27								
S30	S29									S30	S29								
S32	S31									S32	S31								
S58	S57									S58	S57								
S60	S59									S60	S59								
S62	S61									S62	S61								
S64	S63									S64	S63								
S66	S65									S66	S65								
S68	S67									S68	S67								
S70	S69									S70	S69								
S72	S71									S72	S71								

【図31】



- A: アナログビデオ信号
 B: 著作権保護番号が挿入されたアナログビデオ信号
 C: アナログ又はデジタルオーディオ信号
 D: Bから抜き出してデジタル化した著作権保護番号
 E: 著作権保護番号が挿入されたアナログビデオ信号
 F: デジタル化した著作権保護番号が付加されたデジタルソフトテープ

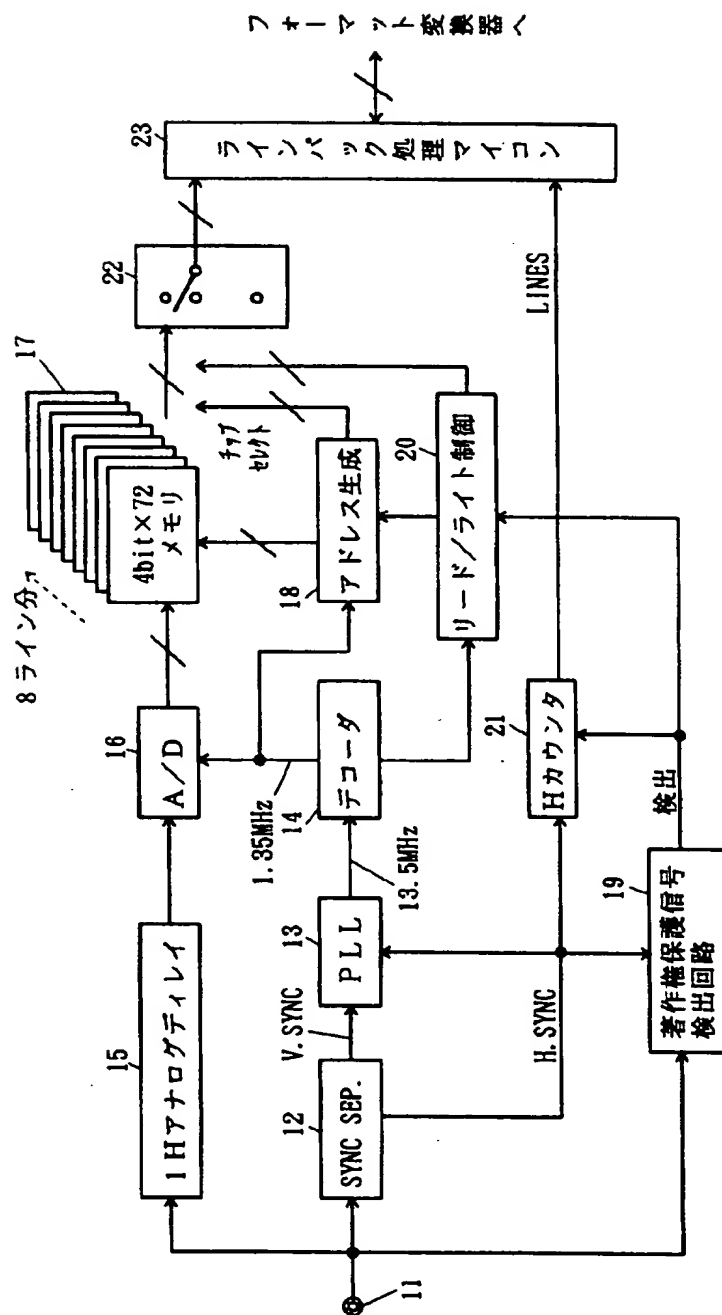
【図30】

トラック番号	1	2	3	4	5	6	7	8	9	10
65	Y	65		65		65		65		65
64	Y	64		64		64		64		64
63	Y	63		63		63		63		63
62	Y	62		62		62		62		62
61	Y	61		61		61		61		61
60	Y	60		60		60		60		60
35	Y									
30	Y									
25	Y									
20	Y									
15	Y									
10	Y									
5	Y									
0	Y									

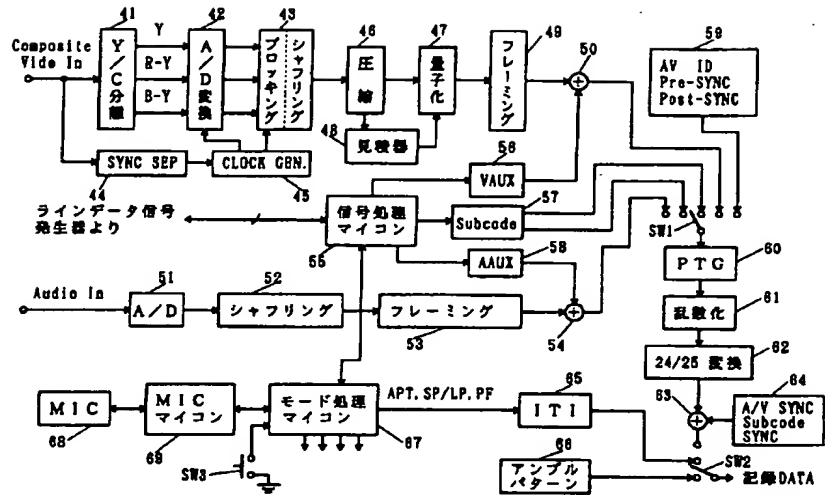
↑
バック番号

LH: ラインヘッダーバック
 Y: Yバック

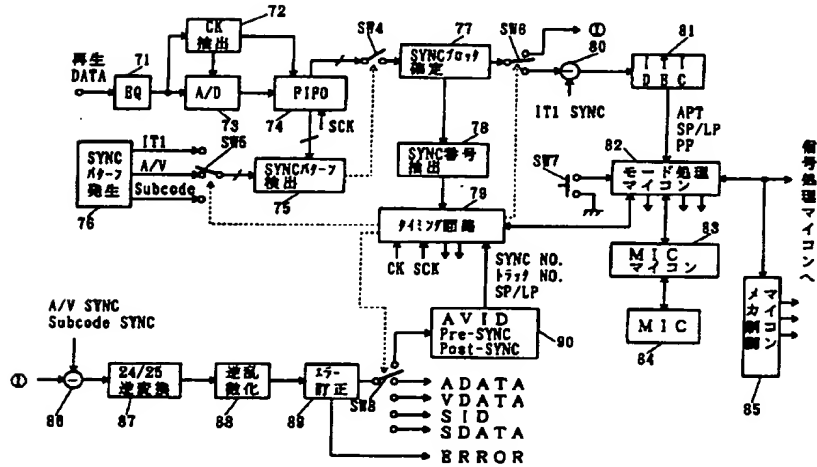
【図34】



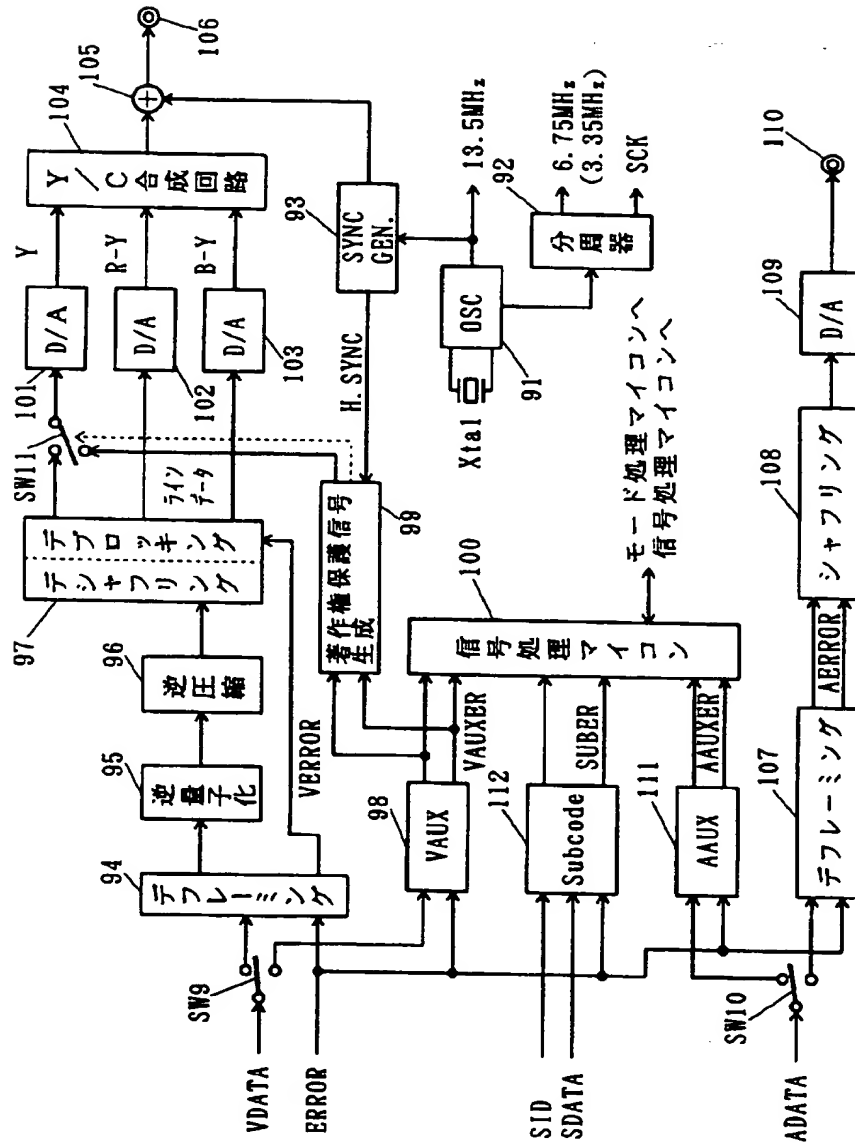
【图 3 5】



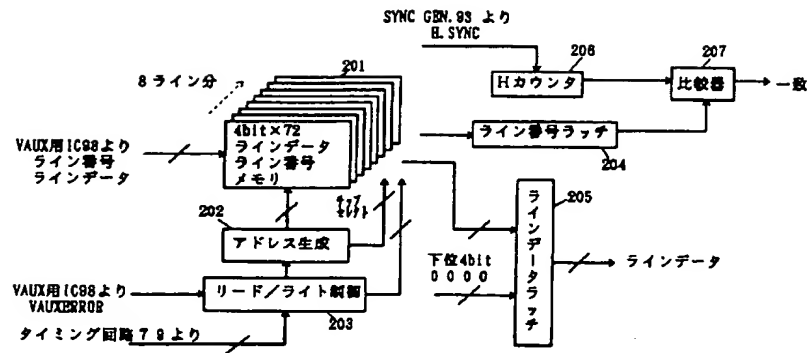
【図 3 6】



【図37】



SYNC GEN. 83 より



(51)Int.Cl.6
H O 4 N 5/91

技術表示箇所

P

- (19) Office of Patents, Government of Japan (JP)
- (11) Patent Application Kokai (Laid Open) No. Toku Kai Hei 7-111634
- (12) Kokai Patent KOho (Publication) (A)
- (43) Kokai Date: April 25, 1995

--

- (51) Int. Cl.⁶ H 04 N 5/92, G 11 B 20/12, H 04 N 6/7826

Discriminating Code: 102

Intra-office Coordination No. 9295-5D, 7734-5C

Fl. Technology disclosure location

H 04 N 5/92, 5/782 H D

Request for Examination: Not filed as yet.

Number of Claims: Nine FD

(Total No. of pages - 28)

(Continued to the final page)

--

- (21) Application No. Toku Gan Hei 5-277633
- (22) Date of Application: October 8, 1993
- (71) Applicant: 000002185 Sony Kabushiki Kaisha (Sony Corporation), 7-35 Kita Shinagawa 6-chome, Shinagawa Ku, Tokyo
- (72) Inventor: Masaki Oguro, c/o Sony Kabushiki Kaisha, 7-35 Kita Shinagawa 6-chome, Shinagawa Ku, Tokyo
- (74) Agent: Takeshi Sugiyama, patent attorney and one other

--

(54) (Title of Invention) Method of Recording and/or Reproducing a Digital Video Signal, Device for Recording and/or Reproducing Same and a Recording Medium

(57) (Summary)

(Purpose)

It is possible for the copyright protected signals which are reproduced by a digital VTR of the compression system.

1043 200 (T0420-00288 ADR 1011-110
(Constitution)

At the time when a copyright protected signal detection circuit 19 has detected a scrambled signal that is inserted into a video signal, the output of the A/D converter 16 is stored in a memory 17. A H counter circuit 21 gives the line number at the time when there is a scrambled signal to the line-pack processing micro computer 23 as LINES data. The data of the memory 17 is given to the line-pack processing micro computer 23 as a line data, while being switched at a switching circuit 22. By using same, the line pack processing micro computer 23 produces a pack data and sends same to a format converter of the digital VTR.

(Translator's Note: Insert the drawing on p. (1). 14. Decoder. 15. 1H analog delay, 17. 4bit x 72 memory. 18. Address production. 19. Copyright protected signal detection circuit. 20. Read-write control. 21. H counter. 23. Line pack processing micro computer. a. 8 line portion. b. Detection. c. To a format converter. d. Chip select.)

--
(Scope of Claims for Patent)

(Claim 1)

A method for digital video signal recording equipped with a recording format including a recording area for coded video signals and a recording area for appurtenant information, with the said recording area of appurtenant information having a pack structure comprising a header pack for recording the line designation data that designates a given line in the video signal and a parameter pertaining to the coding of the recorded signal and a data pack for recording the data obtained by coding the signal of the line which has been designated by the said header pack in conformity with the said parameter, characterized in that the video signal is coded for recording in the recording area for the said video signal and, at the same time, the parameter pertaining to the data that designates the said line of the copyright-protected signal that is inserted into a prescribed line of the said video signal is recorded in the said header pack and data pack.

(Claim 2)

A digital video signal recording device equipped with a recording format including a recording area for coded video signals and a recording

3

area for appurtenant information, with the said recording area of appurtenant information having a pack structure comprising a header pack for recording the line designation data that designates a given line in the video signal and a parameter pertaining to the coding of the recorded signal and a data pack for recording the data obtained by coding the signal of the line which has been designated by the said header pack in conformity with the said parameter, characterized in that there are provided (a) a means for coding the video signal and recording same in the recording area of the said video signal and (b) a means for recording the data that designates the said prescribed line of the copyright protected signal that has been inserted into a prescribed line of the said video signal and the parameter pertaining to the coding of the said copyright protected signal in the said header pack and recording the said copyright protected signal that has been coded in the said data pack.

(Claim 3)

A method for reproducing a digital video signal equipped with a recording format including a recording area for coded video signals and a recording area for appurtenant information, with the said recording area of appurtenant information having a pack structure comprising a header pack for recording the line designation data that designates a given line in the video signal and a parameter pertaining to the coding of the recorded signal and a data pack for recording the data obtained by coding the signal of the line which has been designated by the said header pack in conformity with the said parameter, where the coded video signal is recorded in the said video signal recording area and, at the same time, the data designating the prescribed line of the copyright protected signal that has been inserted into a prescribed line of the said video signal is recorded in the said header pack and the data obtained by coding the signal of the line which has been designated by the said header pack in conformity with the said parameter is recorded in the said data pack.

inserted into a prescribed line of the said video signal and the parameter pertaining to the coding of the said copyright protection signal are recorded in said header pack and, moreover, the said copyright protection signal that has been coded reproduces the digital video signal that has been recorded in said data pack, characterized in that the video signal that has been coded is reproduced from the said video signal recording area and, at the same time, the said header pack and data pack are reproduced, thereby restoring the said copyright protection signal to be inserted into the said designated line for the recoded video signal.

(Claim 4)

A digital video signal reproducing device equipped with a recording format including a recording area for coded video signals and a recording area for appurtenant information, with the said recording area of appurtenant information having a pack structure comprising a header pack for recording the line designation data that designates a given line in the video signal and a parameter pertaining to the coding of the recorded signal and a data pack for recording the data obtained by coding the signal of the line which has been designated by the said header pack in conformity with the said parameter, where the coded video signal is recorded in the said video signal recording area and, at the same time, the data designating the said prescribed line of the copyright protection signal that is inserted into a prescribed line of the said video signal and the parameter pertaining to the coding of

header pack and, moreover, the said copyright protection signal that has been coded reproduces the digital video signal that has been recorded in said data pack, characterized in that it has (a) a means for recoding the video signal by reproducing the video signal that has been coded from the recording area of the said video signal and (b) a means for restoring the said copyright protection signal by reproducing the said header pack and data pack and for inserting the same into the said prescribed line of the video signal that has been recorded.

(Claim 5)

A digital video signal recording and reproducing method equipped with a recording format including a recording area for coded video signal and a recording area for appurtenant information, with the said recording area of appurtenant information having a pack structure comprising a header pack for recording the line designation data that designates a given line in the video signal and a parameter pertaining to the coding of the recorded signal and a data pack for recording the data obtained by coding the signal of the line which has been designated by the said header pack in conformity with the said parameter, characterized in that, at the time of recording, the video signal is coded for recording in the recording area of the said video signal and, at the same time, the data designating the said prescribed line of the copyright protected signal that is inserted into the said prescribed line of the said video signal and the data obtained by coding the said

of the said copyright protection signal are recorded on said header pack and, moreover, the copyright protection signal that has been coded is recorded in said data pack and, at the time of reproduction, the video signal that has been coded is reproduced from the recording area of the said video signal, the video signal is recoded and, at the same time, the said header pack and data pack are reproduced and the said copyright protection signal is restored to be inserted into the said prescribed line of the video signal that has been recoded.

(Claim 6)

A digital video signal recording and reproducing device equipped with a recording format including a recording area for coded video signals and a recording area for appurtenant information, with the said recording area of the appurtenant information having a pack structure comprising a header pack for recording the line designation data that designates a given line in the video signal and a parameter pertaining to the coding of the recorded signal and a data pack for recording the data obtained by coding the signal of the line which has been designated by the said header pack in conformity with the said parameter, characterized in that it has (a) a means for coding the video signal and recording it in the recording area of the said video signal, (b) a means for recording the data designating the said prescribed line of the copyright protection signal that is inserted into a prescribed line of the video signal, and (c) a parameter pertaining to the

3 7
protection signal that has been coded in the said data pack, (c) a means for reproducing a video signal that has been coded from the recording area of the said video signal and recoding the video signal, and (d) a means for reproducing said line header pack and data pack, restoring the said copyright protection signal and inserting same into the said prescribed line of the video signal that has been recoded.

(Claim 7)

A digital video signal recording device or a digital video signal reproducing device as described in Claim 2 or Claim 6, characterized in that, by recording in the header pack the information directing the restoration of the same contents on the same lines of the first field and the second field of the video signal, only one field of the copyright protection signal having the same contents on the same line of the first field and the second field is coded and recorded on the data pack.

(Claim 8)

A digital video signal recording device or a digital video signal recording and reproducing device as described in Claim 2, 6 or 7, characterized in that, at the time of the coding of the copyright protection signal, the part which is above the pedestal level of the video signal is finely quantized.

(Claim 9)

A recording medium equipped with a recording format including a recording area for coded video signals and a recording area for a line header pack, with the

the line designation data that designates a given line in the video signal and a parameter pertaining to the coding of the recorded signal and a data pack for recording the data obtained by coding the signal of the line which has been designated by the said header pack in conformity with the said parameter, where the video signal that has been coded is recorded in the recording area of the said video signal and, at the same time, the data designating the said prescribed line of the copyright protection signal that is inserted into a prescribed line of the said video signal and the parameter pertaining to the coding of the said copyright protection signal are recorded in the said header pack and, moreover, the said copyright protection signal that has been coded has been recorded in the said data pack.

(Detailed Explanation of the Invention)

(0001)

(Field of Industrial Utilization)

This invention relates to a digital video signal recording and/or reproducing method, a recording and/or reproducing device and a recording medium for coding the video signal and recording and/or reproducing same.

(0002)

(Technology According to Prior Art)

In the soft tape for the analog VTR according to prior art, a scrambled signal that is intended to disturb the action of the AGC circuit of the VTR on the recording side has been inserted into a prescribed line of the vertical blanking period of the video signal.

an attempt is made to dub the soft tape illegally, the tape that has been dubbed is recorded in a non-reproducible state, with a consequence that the copyright is protected.

(0003)

In the digital VTR using the video compression technology which has made a remarkable progress in recent days, meanwhile, it has been a common practice to reduce the over-all weight of the recording signal for the purpose of improving the quality of the image. For such a purpose, those parts which have nothing to do with the video such as the vertical blanking and the horizontal blanking are deleted.

(0004)

In the case of 525/60 system, for example, the data 720 samples of the effective scanning period as shown in Figure 39 is taken out against each line of the 240 lines of the 285H through 524H in the even-number field and 240 lines of the 23H through 262 H in the odd-number field.

In the case of the 625/50 system, likewise, the data 720 samples of the effective scanning period shown in Figure 39 are taken out against each line of the 288 lines of the 335H through 622H in the even-number field and 288 lines of the 23H through 310 H in the odd-number field.

(0005)

A video data that has been recorded by extracting only the real video part and compressing the data volume in this manner is given a reproduction rate of 1/2. This means that the reproduction rate is 1/2 of the original rate.

is taken out as a composite video signal with the addition of the vertical blanking and the horizontal blanking which were deleted at the time of recording.

(0006)

(Problem to be Solved by the Invention)

In the case where the soft tape of the digital VTR using such a video compression technology is to be prepared, only the real image portion is recorded as described earlier, with a result that it is not possible to record the scrambled signal during the vertical blanking period that has been inserted into the soft tape since earlier days because of the need to protect a copyright.

(0007)

Regarding the copyright protection between the digital VTR's, the SCMS (serial copy management system) which has been commercialized in DAT, etc. is effective. However, it cannot protect the copyright for the analog VTR such as the VHS system which is most widely used at the present time.

(0008)

This invention was culminated for the purpose of solving such a problem. Its purpose lies in making it possible for a scrambled signal that is inserted into a part which is other than the actual image of the video signal like the scrambled signal that is being used in the soft tape of the VTR of the analog system to be recorded and reproduced.

(0009)

(Means for Solving the Problem)

the invention pertaining to Claim 1 or Claim 2 is equipped with a recording format including a recording area for coded video signals and a recording area for appurtenant information, with the said recording area of appurtenant information having a pack structure comprising a header pack for recording the line designation data that designates a given line in the video signal and a parameter pertaining to the coding of the recorded signal and a data pack for recording the data obtained by coding the signal of the line which has been designated by the said header pack in conformity with the said parameter, characterized in that the video signal is coded for recording in the recording area for the said video signal and, at the same time, the parameter pertaining to the data that designates the said line of the copyright protected signal that is inserted into a prescribed line of the said video signal is recorded in the said header pack and, moreover, the coded copyright protected signal is recorded in the said data pack.

(0010,

In addition, the invention pertaining to Claim 3 or Claim 4 is so constructed that it is equipped with a recording format including a recording area for coded video signals and a recording area for appurtenant information, with the said recording area of appurtenant information having a pack structure comprising a header pack for recording the line designation data that designates a given line in the video signal and a parameter pertaining to the coding of the recorded signal and a data pack

conformity with the said parameter, where the coded video signal is recorded in the said video signal recording area and, at the same time, the data designating the said prescribed line of the copyright protection signal that is inserted into a prescribed line of the said video signal and the parameter pertaining to the coding of the said copyright protection signal are recorded in said header pack and, moreover, the said copyright protection signal that has been coded reproduces the digital video signal that has been recorded in said data pack, characterized in that the video signal that has been coded is reproduced from the said video signal recording area and, at the same time, the said header pack and data pack are reproduced, thereby restoring the said copyright protection signal to be inserted into the said designated line for the recorded video signal.

(0011)

In addition, the invention pertaining to Claim 5 or Claim 6 relates to a digital video signal recording and reproducing method or device which is equipped with a recording format including a recording area for coded video signal and a recording area for appurtenant information, with the said recording area of appurtenant information having a pack structure comprising a header pack for recording the line designation data that designates a given line in the video signal and a parameter pertaining to the coding of the recorded signal and a data pack for recording the data obtained by coding the signal of the line which has been designated by the

characterized in that, at the time of recording, the video signal is coded for recording in the recording area of the said video signal and, at the same time, the data designating the said prescribed line of the copyright protected signal that is inserted into the prescribed line of the said video signal and the parameter pertaining to the coding of the said copyright protected signal are recorded on said header pack and, moreover, the copyright protection signal that has been coded is recorded in said data pack and, at the time of reproduction, the video signal that has been coded is reproduced from the recording area of the said video signal, the video signal is recoded and, at the same time, the said header pack and data pack are reproduced and the said copyright protected signal is restored to be inserted into the said prescribed line of the video signal that has been recoded.

(0012)

According to the invention pertaining to Claim 7, moreover, by recording in the line header pack the information directing the restoration of the same contents on the same lines of the first field and the second field of the video signal, only one field of the copyright protection signal having the same contents on the same line of the first field and the second field is coded and recorded on the data pack, in the invention pertaining to Claims 2, 6 or 7.

(0013)

According to the invention pertaining to Claim 8, further, at the time when the copyright protected signal is to be coded, that part which is above the pedestal level of the video signal is linearly quantized in the

(0014)

In addition, the invention pertaining to Claim 9 is a recording medium equipped with a recording format including a recording area for coded video signals and a recording area for appurtenant information, with the said recording area of appurtenant information having a pack structure comprising a header pack for recording the line designation data that designates a given line in the video signal and a parameter pertaining to the coding of the recorded signal and a data pack for recording the data obtained by coding the signal of the line which has been designated by the said header pack in conformity with the said parameter, where the video signal that has been coded is recorded in the recording area of the said video signal and, at the same time, the data designating the said prescribed line of the copyright protected signal that is inserted into a prescribed line of the said video signal and the parameter pertaining to the coding of the said copyright protected signal are recorded in the said header pack and, moreover, the said copyright protected signal that has been coded has been recorded in the said data pack.

(0015)

(Function)

According to this invention, a video signal is coded and recorded in the recording area of the said video signal and, at the same time, the data designating the prescribed line of the copyright protected signal that is inserted into the prescribed line of the video signal

right protected signal are recorded on the line header pack and, moreover, the copyright protected signal that has been coded is recorded on the data pack.

(0016)

In addition, the video signal that has been coded from the recording area of the video signal is reproduced, thereby recoding the video signal and, at the same time, the line header pack and the data pack are reproduced and the copyright protected signal is restored to be inserted into the prescribed line of the video signal that has been recoded.

(0017)

(Example)

An example in the case where this invention has been applied to the digital VTR of the compression system will be explained below item by item.

(0018) Features of the digital VTR:

- (1) Track format
- (2) LTI area
- (3) Applucation ID system
- (4) Audio Sector
- (5) VIdео Sector
- (6) Sub-code sector
- (7) Data structure of MIC

(0019)

Recording and reproducing of the copyright protected signal.

- (1) Outline of the copyright protected signal
- (2) Sampling and quantization
- (3) Packing
- (4) Recording and reproducing system

(a) Recording system

(b) Reproducing system

(0020) 1. Features of the digital VTR

(I) Track format

Figure 1 shows one track of the digital VTR to which this invention has been applied. As is shown in this Figure, recording is carried out in that digital VTR from the track entrance side to the ITI area, to the audio area, to the video area and to the sub-code area in this order. (It is mentioned in this connection that the IBC 1 through 3 which are shown in the drawing indicate the inter-block gaps.) Such tracks are recorded with one frame being divided into 10 tracks for the video signal of the 525/60 system and one frame being divided into 12 tracks for the video signal of the 625/60 system.

(0021) (2) ITI area

The ITI (Insert and track information) that is recorded on the side of the track entrance is a timing block for accurately carrying out "af reco" (Translator's Note: sic, probably meaning "after-record"). This is provided for accurately positioning the area in the case where the video data or audio data that has been written in the area thereafter is "af-recoed" for re-writing. As will be described in detail later, this digital VTR is so constructed as to be used in those devices other than the recording and reproducing device of the digital video signal and digital audio signal by using an application ID. In view of the fact that re-writing of the data of a specific area is necessary in whatever application device may be

used, the digital VTR is constructed so as to be used in all cases.

(0022)

In the ITI area, a large number of SYNC blocks of a short SYNC length are written and the SYNC numbers are allocated to them in order from the side of the track entrance. At the time when the "af reco" (post-recording) is to be carried out, if one in the SYNC block in this ITI area can be detected, the current on-the-track position can be accurately decided on the basis of the number that is written there. By using this as the basis, the post-recording is determined.

It is generally the case that it is difficult to hit the head in view of the mechanical accuracy on the side of the track entrance, etc. Because of this, the detection accuracy is raised by writing a large number of SYNC blocks by shortening the SYNC length in the ITI area.

(0023)

This ITI area consists of four parts as is shown in Figure 2. First of all, there is a preamble of 1400 bits that carries out the work of the PLL line for digital signal reproduction. This is followed by an SSA (start SYNC block area) for the above-described function. One SYNC block is constituted by 30 bits and there are 61 blocks. This is followed by TIA (Track Information Area). This is made of three blocks 90 bits. This TIA is an area for storing the information pertaining to the entire track. In each block, three bits of the APT (Application ID of a Track) which is the basic application ID (whose details will be described later), one bit of the SP/TP

bit of the PF (pilot frame) showing the reference frame of the servo system for a total of six bits are stored. Finally, there are 280 bits of the postamble for gaining the margin.

(0024) (3) Application ID System

The present applicant has earlier proposed a system called an application ID (S92092481, A93023086 and S93039888) so as to make it possible for this digital VTR to be developed into products other than the recording and reproducing device of the digital video signal and the digital audio signal.

(0025)

The present applicant has also proposed earlier to assist the recording and reproducing by reading out the data that has been written into this memory IC at the time when this cassette has been loaded in the digital VTR by loading the cassette accommodating the recording medium of this digital VTR with a circuit substrate with a memory IC being provided thereon. (Reference should be made to Toku Gan Hei 4-165444m Toku Gan Hei 4-287875). In this application, it will be called the MIC (memory in Cassette).

(0026)

Therefore, the application ID system and the MIC will be explained below, thereby attempting to clarify the features of the digital VTR to which this invention is applied.

(0027)

Application ID is stored not only in the APT in

bits of the address 0 as APM (Application ID of MIC) even in this MIC.

(0028)

The application ID is not the ID for the determination of an example of the application of the digital VTR but is merely an ID for the determination of the data structure of the area of the recording medium. Hence, the following meanings:

APT. This determines the data structure on the track.

APM. This determines the data structure of the MIC.

(0029)

By the value of the APT, the data structure on the track is stipulated. In other words, the track after the ITI area is divided into a few areas as is shown in Figure 3 and the data structure such as the ECC structure, etc. for the protection of the data from an error is decided. In each area, moreover, there is an application ID that decides the data structure of each area. Its meaning is as follows:

Application ID for Area n. This determines the data structure of area n.

(0030)

The application ID on the tape has such a hierarchical structure as is shown in Figure 4. In other words, the area on the track is stipulated by the APT which is the basic application ID and AP1 through APn are stipulated for each area. The number of areas is defined by the APT. Even though two hierarchical layers are used in Figure 4, it is possible to provide more hierarchical layers than two.

On the other hand, there is only one layer of APM

which is the application ID in the MIC. As for its value, a value which is the same as the APT for its application equipment is written by the digital VTR.

(0031)

Because of this application ID system, it has become possible to build an entirely different product group such as data streamers or multi-track digital audio tape recorders by using the digital VTR, with its cassettes, mechanism and servo system, ITI area production detection circuit, etc. as they are.

Even if one area may be determined, its contents are further defined by the application ID for that area. It has thus become possible to develop a wide range of products including the video data at the time of a certain area application ID and the video and audio data at the time of another value or a computer data at the time of still another value.

(0032)

Next, the state at the time of APT = 000 will be shown in Figure 5. At this time, area 1, area 2 and area 3 are stipulated on the track. The position on the track, SYNC block structure, ECC structure for the protection of the data from an error and a gap for guaranteeing each area or over-write margin for guaranteeing over-write are determined. In each area, moreover, there is an application ID that decides the data structure of the respective area. Its meanings are as follows:

AP1. This determines the data structure of area 1.

AP2. This determines the data structure of area 2.

(0033)

The application ID for each area defines the time of 000 as follows:

AP1 = 000. Assumes the data structure of audio and AAUX of the digital VTR for consumer use.

AP2 = 000. Assumes the data structure of video and VAUX of the digital VTR for consumer use.

AP3 = 000. Assumes the data structure of the sub-code and ID of the digital VTR for consumer use.

(0034)

Here, AAUX is the audio auxiliary data and VAUX is the video auxiliary data. In other words, at the time when the digital VTR is realized for consumer use, APT, AP1, AP2 and AP3 = 000. It is natural, therefore, that AP4 also becomes 000.

(0035)

At the time when AP1 = 000, the AAUX, VAUX, the sub-code and each area of the MIC are described with a pack structure which is common to all. As is shown in Figure 6, one pack is constituted by five bytes, with one byte at the head (PC0) being the header and the remaining four bytes (PC 1 through PC 4) being the data. The term pack means the smallest unit of the data group, one pack being constituted as the related data are grouped together.

(0036)

Eight bits of the header are divided into the top four bits and the bottom four bits, thereby forming a hierarchical structure. As is shown in Figure 7, the hierarchical structure of the header is as follows: the top four bits as the upper header and the bottom four bits as the lower header. By the bit assignment of the data, moreover, it

can be expanded to layers below same.

The 256 spaces based on these upper header and lower header can be prepared along with the contents of each pack as the only pack header table. Each area as described above will be described by using it.

(0037)

Figure 8 shows an outline of the pack header list. In this pack header list, the top four bits are called a major item and the lower four bits are called the minor item. The major item of the top four bits is, for instance, a data showing the usage for the subsequent data.

On the other hand, the bottom four bits are the data showing the specific contents of the subsequent data, for instance.

In this major item, control "0000", title "0001", chapter "0010", part "0011", program "0100", audio auxiliary data "0101", video auxiliary data "0110", camera "0111", line "1000", and soft mode "1111" are provided.

(0038)

In the major items of audio auxiliary data "0101" and the video auxiliary data "0110", for instance, the respective recording signal source "0000", source control "0001", recording date "0010" and recording time "0011", etc. are provided as minor items.

(0040)

Figure 9 is a figure showing the data of PCl of the source control pack of the audio auxiliary data and the video auxiliary data.

copy source data, two bits of the copy generation data, one bit of cipher (code) type data and one bit of the cipher data are recorded in this order from the side of MSB.

(0041)

In the major item of the line "1000", such small items as line header "0000", Y "00001", P-Y "0010", B-Y "0011", R " 0101," G "0110" and B "0111", etc. are provided.

In other words, the major items on line "1000" are capable of recording the data obtained by sampling the data on a given line in the vertical blanking period or in the effective scanning period in a television signal or recording the sampling data of a video signal other than the televisin signal.

(0042)

It is mentioned here that the major items "1001" through "1110" are that portion which has been left for additional purposes. Accordingly, it becomes possible to record a given new data in the future by defining a new header by using the code of major items that have not as yet been defined (such as, for example, the major items "1001" through "1110" for additional purposes as described above).

(0043)

The pack structure has a fixed length of five bytes as its basis, with the only exception being the use of the pack structure of a variable length only at the time when character data is described in the MIC. This is for the purpose of effectively utilizing the limited memory

(0044) (4) Audio Sector

The audio and video areas are called the audio sector and the video sector respectively. The structure of the audio sector is shown in Figure 10. The preamble is constituted by 500 bits and the run-up is constituted by 400 bits and two pre-SYNC blocks are used.

The run-up is used as a run-up pattern for pulling in the PLL and the pre-SYNC is used as a pre-detection of the audio SYNC block. The post-amble at the back is constituted by 550 bits, it comprises one post-SYNC block and 500 bits of a guard area. The post-SYNC is for the purpose of confirming the completion of the audio sector by the SYNC number of its ID, and the guard area is for guarding in such a way that, even if the video sector at the back may be "at-rec'd" (post-recorded), it may not "bite" into the audio sector.

(0045)

Each of the pre-SYNC and post-SYNC blocks is constituted by six bytes as is shown in Figures 11 (a) and (b). At the sixth byte of the pre-SYNC, there exists a discriminating byte for SP/LP. FFh indicates SP and 00h indicates LP.

The sixth byte of the post-SYNC stores FFh as a dummy data.

(0046)

The discriminating byte of SP/LP also exists as an SP/LP flag in the TIA area described earlier; however, this is for its protection. If the value of the TIA area can be read off, it is adopted. If the reading-off is

not possible, the value of this area is adopted.

(0047)

Since the six bytes of each of the pre-SYNC and the post-SYNC are recorded after the effectuation of the 24-25 conversion (a modulation system for recording after the data of 24 bits has been converted into 25 bits), the total bit length will be $6 \times 2 \times 8 \times 25$ divided by 24 equaling 100 bits for the pre-SYNC and $6 \times 1 \times 8 \times 25$ divided by 24 equaling 50 bits for the post-SYNC.

(0048)

Regarding the audio SYNC block, a SYNC block is constituted by 90 bytes as is shown in Figure 12. The five bytes in the first half are constituted like the post-SYNC. The data part comprises 77 bytes and is protected by a horizontal parity C1 (eight bytes) and a vertical parity C2 (77 bytes \times 5).

(0049)

The audio SYNC block consists of 14 SYNC blocks per track and, since recording is carried out after the 24-25 conversion has been applied to same, the total bit length will become $90 \times 14 \times 8 \times 25$ divided by 24, equaling 10500 bits.

(0050)

The five bytes in the first half of the data part are for the audio auxiliary data and same constitutes one pack. Nine packs are prepared for one track. The numbers ranging from 0 to eight in Figure 12 indicate the pack numbers in the track.

(0051)

Figure 13 is a figure in which the nine pack portion has been extended and described in detail. The numbers ranging from 50 to 55 show the values of the data according to the normal order. This means that the same pack is written ten times in 10 tracks.

This part is called the main area. Since such essential items as the sampling frequency and the quantization bit number, etc. which are necessary for the reproduction of the audio signal are stored here, the writings are repeated many times for the protection of the data. Because of this, it becomes possible to reproduce the data of the main area even for the flaws or channel clogs, etc. which tend to develop in the tape transport.

(0052)

The other remaining packs are connected in turn and used as an optional area. The packs of the main area are connected in a skipping fashion like a, b, c, d, e, g, h, ... in Figure 13. In one video frame, the optional areas are prepared at the rate of 30 packs (525/60 system) and 36 packs (625/50 system). Since these are optional, a free selection is made from the header list shown in Figure 8 for description for each digital VTR.

(0053)

The optional area comprises a common option (such as the character data, for instance) and a maker's option without any common character with its contents being freely determined by each manufacturer. As the same is optional, only one side may be used or both sides may be used or both sides may not be used.

In the absence of any information, a description is made by using a pack without any information or "No Info pack." The application ID and both areas are differentiated by the advent of a manufacturer code pack. The area after that is the manufacturer's optional area.

(0054)

The construction of the main area, the optional area, the common option and the manufacturer's option is common to all of the audio auxiliary data, the video auxiliary data and the MIC.

(0055) (5) Video Sector

Figure 14 shows the structure of a video sector. The construction of the pre-amble and the post-amble is the same as in the case of the audio sector shown in Figure 10. In addition, the volume of the guard area of the post-amble is set larger than in the audio sector.

(0056)

Regarding the video SYNC block, one SYNC block is constituted by 90 bytes which is the same as for the audio shown in Figure 15. The five bytes in the first half have the same construction as for the pre-SYNC, the post-SYNC and the audio-SYNC.

The data part comprises 77 bytes and same is protected by a horizontal parity C1 (eight bytes) and a vertical parity C2 (77 bytes x 11). Two SYNC blocks at the top of Figure 16 and one SYNC block immediately before the C2 parity are the SYNCs which are exclusively for VAUX and the data of 77 bytes is used as the video auxiliary data. Other than the SYNC which is exclusively for VAUX and the C2 parity SYNC, the video data of the video signal that has been compressed by using the DCT (dispersion cosine conversion) is stored.

(0057)

The 135 SYNC block at the center in Figure 16 is a storage area for this video data. The numbers are allocated to BUF 0 to BUF 26 in the figure. These BUF numbers indicate the buffering blocks. One buffering block is 270 bytes (10 tracks x 27 bytes) in size. Therefore, there are 270 buffering blocks for 10 tracks.

(0058)

In other words, an area which is effective as a video is extracted from the video data in one frame and the digital data obtained by sampling same is collected from various parts of the real image by shuffling, thereby preparing 270 groups. One of these groups constitutes one buffering unit.

This is data-compressed by using such a compression technology as the DCT system, etc. for each unit and processing is carried out while evaluating whether it is within the target compression value or not as a whole. Thereafter, the data of the one buffering unit that has been compressed is crammed into one buffering block five SYNC.

(0059)

The SYNC which is exclusively for VAUX is shown in Figure 17. The top 2 SYNC in Figure 16 corresponds to the top 2 SYNC in Figure 17 and the 1 SYNC which is immediately prior to C2 in Figure 16 corresponds to the bottom SYNC in Figure 17.

When 55 bytes are divided into the packs of five bytes, two bytes remain. These will be kept as the reserve without any specific use. If the same numbers as in the case of the audio are allocated, they range from zero to 44, with 45 packs being guaranteed for one track.

(0060)

These 45 packs are extracted and described in the direction of the track. This is shown in Figure 18. Here, the numbers ranging from 60 to 65 indicate the values of the pack headers according to the hexadecimal system.

This constitutes a main area. As in the case of the audio, the same pack is written ten times in 10 tracks. Here, such essential items as the television system which is necessary for the replay of the video signal and the aspect ratio of the screen, etc. are mainly stored. Because of this, it becomes possible to realize the data of the main area for flaws in the horizontal direction or side channel clogs which tend to develop in the tape transport.

(0061)

The remaining packs other than these are connected in turn and used as an optional area. The packs of the main area are connected, in a skipped fashion, in the direction indicated by an arrow mark like a, b, c, ... as in the case of the audio shown in Figure 18.

In one video frame, 390 packs (525/60 system) and 468 packs (625/50 system) are prepared for the optional area. The optional area is handled in the same manner as in the case of the audio.

(0062)

As for the video SYNC block, one track is composed of 149 SYNC blocks and since recording is carried out after the application of the 24-25 conversion to same, the total bit length will become as follows:

$90 \times 149 \times 8 \times 25$ divided by 24 equaling 111750 bits

(0063)

Next, the ID part will be explained below. In the case of the IDP, the same system is used in the various sectors of the audio, video and sub-code and is a parity that protects the ID0 and ID1. The contents of the

ID part are shown in Figure 19; however, the IDP is being omitted.

(0064)

First of all, ID1 is the place where the SYNC numbers in the track are stored. Here, the numbers ranging from zero to 168 are allocated continuously according to the decimal system from the pre-SYNC of the audio sector to the post-SYNC of the video sector.

(0065)

The lower four bits of ID0 take in the track number in one video frame. The numbers are allocated at the rate of one per two tracks. The differentiation between the two tracks can be carried out by the azimuth angle of the head.

The top four bits of ID0 have the contents changed by the location of the SYNC. In the case of the SYNC of the AAUX plus audio data as shown in Figure 19(a) and the SYNC of the video data, four bits of the sequence number enter. Twelve numbers ranging from 0000 to 1011 are allocated to the various 1 video frames. Because of this, it becomes possible to tell whether the data that was obtained at the time of variable speed reproduction are of the same frame or not.

In the pre-SYNC, post-SYNC and the SYNC of C2 parity shown in Figures 10, 12, 14 and 16, the application ID, AP1 and AP2 are stored in the top three bits of the ID0. Accordingly, AP1 is written eight times and AP2 is written 14 times. By writing them many times as described above and by dispersing the locations, the reliability of the Application ID is improved and protected.

The structure of the sub-code sector is shown in Figure 20. The pre-amble and the post-amble lack the pre-SYNC and post-SYNC in a way which is different from the audio and video. In addition, the length is greater than in other sectors. This is because of the fact that the sub-code sector is used frequently for re-writings. As it is located at the last tail of the track, moreover, the shift of the first half of the track is entirely added, thereby affecting it.

(0067)

The sub-code SYNC block is constituted by 12 bytes as is shown in Figure 21, with the five bytes in the first half having the same construction as the pre-SYNC, post-SYNC, audio SYNC and video SYNC. The data part that follows has five bytes and these constitute a pack. The horizontal parity C1 for the protection of the data part comprises two bytes. It does not have the so-called cumulative code structure based on C1 and C2 as in the case of the audio sector or the video sector.

This is because of the fact that the sub-code is mainly for high speed search and there is no possibility of picking up the C2 parity in the limited envelope. In view of the fact that the search is at a high speed of 200 times, the SYNC length is also shortened to two bytes.

(0068)

Regarding the sub-code SYNC blocks, there are 12 SYNC blocks per track and, since recording is effected after the application of the 24-25 conversion, the total bit length will become as follows:

12 x 12 x 8 x 25 divided by 24, equalling 1200 bits
(0069)

The ID part of the sub-code is shown in Figure 22. Regarding this sub-code sector, the contents of the data part are different between the first half five tracks (525/60 system) and six tracks (625/50 system) and the latter half.

An F/R (Front/Rear) flag exists at the MSB of ID0 for differentiation between the first half and the final half at the time of a variable speed replay or a high speed search. Into the three bits under same, application ID and AP3 enter at the SYNC numbers of zero and six. (Reference should be made to Figure 22 (a).) In other than the SYNC numbers of zero and six, the INDEX ID, SKIP ID, PP ID (Photo Picture ID) are stored in this order from the top.

The INDEX ID is for the index search, and SKIP ID is the ID for cutting out the unnecessary scenes like the commercial cut. The PP ID is for still picture search. That which is astride over ID0 and ID1 is the absolute track number. According to this, the absolute numbers are allocated in order from the head of the tape and, on the basis of this, the MIC carries out the TOC (Table of Contents) search, etc. The bottom four bits of the ID1 indicate the SYNC numbers in the track.

(0070)

Figure 23 shows the data part of a sub-code. The capital letter alphabet indicates the main area and the small-letter alphabet indicates the optional area. Since there is one pack in one SYNC block of the sub-code, there are a total of 12 pack numbers in one track ranging from zero to 11. The same characters indicate

the same pack contents. The contents are different between the first half and the final half.

(0071)

In the main area, those items which are necessary for high speed search such as the time code and the recording date, etc. are stored. The high speed search of the sub-code data is called the pack search as the search can be carried out at the pack unit.

(0072)

As for the optional areas, it is not possible to connect all of them for use like the AAUX or VAUX. This is because of the fact that there is only a C1 parity of two bytes as described earlier and that the protection of the parity is weak, with a result that, for each track, its contents are shaken up and down and that the same data is written for many times for protection in the first-half track and the latter-half track.

Accordingly, the six pack portion in the first half and the six pack portion in the latter half can be used as the optional area. This is the same for the 525/60 system and for the 625/50 system.

(0073) (7) Data structure of MIC

Figure 24 shows the data structure of the MIC. The interior of the MIC is also divided into the main area and the optional area, with everything being described according to the pack construction except for one byte at the head and the unused area (FFh). Only the character data is stored according to the pack construction as described earlier, with the remainder

being stored according to the pack structure of a fixed length of five bytes as in the case of VAUX, AAUX and the sub-code.

(0074)

At address zero at the head of the MIC main area, the MIC application ID, APM three bits and BCID (basic cassette ID) four bits exist. BCID is the basic cassette ID and has the same contents of the ID board for ID recognition (tape thickness, the kind of the tape and the tape grade) in the cassette without the MIC.

The ID board is for the purpose of causing the MIC read-off terminal to play the same roll as the recognition hole of the conventional eight-millimeter VTR and, because of this, there is no longer any need to create a hole in the cassette half as in the conventional example.

(0075)

Cassette ID, Tape length, title end enter in this order into address 1 and thereafter. In the cassette ID pack, there is memory information pertaining to more specific value of the tape thickness and the MIC.

The tape length pack is for the tape manufacturer to store the tape length of its cassette according to the track number expression. From this and from the title-end pack that comes after it (recording the recording final position information by the absolute track number), the remaining volume of the tape can be immediately calculated.

In addition, the said recording final position information is convenient at the time when an intermediate portion is reproduced and stopped by a camcorder, follow-

ed by restoration to the original recording position or at the time of timer reservations, etc.

(0076)

The optional area is constituted by an optional event. While the main area is a fixed area ranging from address zero to address 16, the optional area is a variable range that exists after address 16. Depending upon the contents, the length of the range changes and, at the time of the erasure of an event, the remaining events are crammed to the addresses after address 16 for storage. The data which no longer require the cramming operation have FFh written in to be used as the unused area.

The optional area is optional as its name indicates and it stores the tap information indicating a point (such as a point for still reproduction) on the TOC (table of contents) or on the tape and the title pertaining to the program, etc.

(0077)

At the time of MIC reading, the next pack header appears for each five bytes or for each variable length byte (character data), depending upon the contents of its pack header. When the FFh of the unused area starts being read off as the header, the control micro computer can detect the absence of any information thereafter as it is equivalent to the pack header of a pack without any information (No Info pack).

(0078) 2. Recording and Reproducing of Copyright Protection Signal

(1) Outline of the copyright protected signal.

An example of the copyright protection signal which will be the subject of this invention is shown in Figure 13. Pseudo horizontal synchronizing pulses A, B, C, D

and e are inserted at the positions where there should be no horizontal synchronizing pulse as described before, thereby disturbing the servo circuit in the VTR on the dubbing side. At the same time, the pulse signals which are called the AGC (auto gain control) pulses including f, g, h, i and j are inserted. These are for the purpose of changing the levels in terms of the analog. There are the case of back and forth movement between the levels like the pulses (pulsing mode) and the stationary mode where the same is stationary either at the maximum of 129 IRE or at the pedestal level of 12 IRE.

Code k is what is called white reference and is fixed at 119 IRE. However, this, too, changes from 119 IRE at some time to 12 IRE on the pedestal level at some other time.

Because of this operation, the recording signal level of the VTR on the dubbing side is shaken up to about 70 per cent of the normal signal level of approximately 30 per cent, resulting in inability of appropriate recording.

(0079) (2) Copyright protected signal sampling and quantization

Next, the operation of sampling this copyright protected signal for digitalization and cramming into the pack structure will be explained below.

(0080)

Let us first handle the sampling frequency. In view of the fact that the pseudo SYNC front porch in Figure 25 is at its minimum width, a frequency of more than one divided by $(1.8 \times 10^6 \text{ divided by } 2) = 1.111 \text{ MHz}$ becomes

necessary on the basis of the sampling principle for its reproduction.

(0081)

As the sampling frequencies satisfying this requirement and located close to 1.11 M Hz, the following (a) through (d) can be mentioned:

- (a) $72 f_H = 1.13 \text{ M Hz}$
- (b) $858 f_H/10 = 1.35 \text{ M Hz}$
- (c) $858 f_H \text{ count down} = 13.5 \text{ M Hz (burst)}$
- (d) $3 \times 32 f_H = 1.51 \text{ M Hz}$

(0082)

Here, f_H is a horizontal synchronizing signal frequency and is 15.734 k Hz in the case of the 525/60 system. In addition, 858 f_H is the sampling frequency of 13.5 M Hz of the video signal of the digital VTR as is shown in Figure 39.

In addition, 32 f_H indicates the frequency which is used in the closed caption for visually disabled people as has already been put into law in the United States of America.

(0083)

(a) indicates the minimum frequency that satisfies the above requirement and it is an integer time of the f_H . Moreover, it is locked to the f_H . However, a PLL circuit becomes additionally necessary.

In the case of 858 $f_H/10$ in (b), a 1/10 division circuit will be sufficient; however, the number of samples per line is 85.8, with a fraction remaining.

Regarding the count-down of 858 f_H in (c), the sampling clock of 13.5 M Hz (locked to the f_H) is counted down and, when the prescribed sampling position

has been reached, a clock of 1.35 M Hz is generated. In this case, a decoder for the count-down becomes needed. Nevertheless, this is adopted in this example as there is no flowing of the phase and the circuit involved is simple.

(0084)

Regarding the question as to which period of the copyright protected signal as shown in Figure 25 is to be sampled, the following (e) through (g) are conceivable:

(e) 720/858 of one line

(f) 35.7 (mu) second portion

(g) 58.2 (mu) second portion

(0085)

As can be seen from Figure 39, (e) is the effective area which is adopted for the digital VTR, where 720 samples of the 858 samples per line are made effective. In this case, the effective sampling position is determined on the basis of the stand-down of the horizontal synchronizing signal (H. SYNC).

(f) samples the pseudo SYNC a through e but does not sample the white reference.

(g) samples those including the white reference. In this example, (e) has been selected. The reason why (e) has been selected lies in the fact that it is the same as the effective area of the video as adopted in the digital VTR and that the time setting in (f) and (g) is analog-like and ambiguous.

(0086)

The relation between the sampling period and the

sampling pulse is shown in Figure 28. It shows the sampling positions in the 525/60 system (NTSC) and the 625/50 system (PAL, SECAM). These are the standards for the digital VTR. Seventy two (72) sampling clocks are generated from the prescribed sampling positions as shown in Figures 26 (b) and (c). As for the duty, five T for the /H/ period and 50 per cent of the 5T for the /L/ period are the most suitable.

(0087)

Next, the quantization of sampling will be described. Judging from the property of the signal shown in Figure 25, it is sufficient to have four bits, one half of the eight bits for the quantization of the video signal. Two bits will be insufficient and 3, 5, 6 and 7 bits are not suitable for the digital VTR of the eight-bit processing unit. Therefore, it was set at four-bit quantization in this example.

(0088)

In Figure 27, the method for matching the data of a copyright protected signal which has been sampled and quantized in this manner with the video signal is shown. For the purpose of matching the four-bit data to the eight bits of the video, 0000 has been added to the bottom four bits to make an eight-bit data. This digital level has been described at the middle of the said figure. On the right of it, from zero IRE to 100 IRE of the analog level of the luminance signal are described in contrast to the digital level. On the right side thereof, the pedestal level (black level) and the digital value of the white level are shown.

It is seen that the pedestal level is obtained if

an eight-bit data is prepared by adding 0000 to the bottom four bits of the four bit data 0001 from this.

(0089) In Figure 25, the various pseudo SYNC chips of a, b, c, d and e do not change their levels. In other words, there is no need to finely reproduce the distance between the pedestal level and the SYNC chips. In this example, therefore, the SYNC chip level is expressed by the four-bit data 0000 and the area above the pedestal level are expressed by the 15 levels ranging from 0001 to 1111.

On the other hand, if the entire level is equally quantized, a digital value is allocated to a meaningless location, with a consequence that the expression above the pedestal level becomes ambiguous.

(0090)

By using the value that has been raised to eight bit data through the addition of 0000 to the bottom four bits of the four-bit data, however, it is not possible to realize up to 129 IRE in Figure 25. Since Figure 26 shows the standards for the digital VTR itself, reproduction will be up to 110 IRE at most in the case of a digital-synthesis but this does not particularly constitute an obstacle to the function of the copyright protection signal. In the case of an analog synthesis, it is only necessary to raise the level up to 129 IRE in terms of the circuit. Therefore, there is no problem.

(0091) (3) Packing

Next, a line pack for the storage of the data that has been obtained in this manner will be explained.

The line pack for the storage of the line data has one kind of line header pack (back header 80h) and six kinds

of line data packs (the back header 81h for Y, the pack header 82h for R-Y, the pack header 83h for B-Y, the back header 85h for R, the back header 86h for G and the back header 87h for B).

(0092)

Those for Y, R-Y and B-Y are for the component signals of the digital VTR where this invention is used and others for R, G and B are prepared for use by computer.

For the realization of the copyright protection signal shown in Figure 25, the Y component alone is sufficient among these. Therefore, the data pack for Y will be used.

(0093)

Regarding the storage area of the pack, further, it will be stored in the optional area of VAUX shown in Figure 18 as the original copyright protected signal is inserted into the vertical blanking period of the video signal. The order of the storage was set as follows: At each line unit, the line header pack; a prescribed number of line data packs and line header packs for Y; and a prescribed number of line data packs for Y.

(0094)

Figure 28(a) shows the line header pack, Figure 28 (b) shows the line data pack for Y. First, the meanings of the various data that are stored in the line header pack in Figure 28 (a) are as follows:

(0095)

LINES: The line numbers for storage (1 through 1250), storage by the decimal system.

B/W: Black and white or color? 0 is black and white and 1 is color (normally)

EN: CLF is effective. 0: effective; 1: not effective

CLF: Color frame number

CM: data common to the first field and the second field? 0: Common; 1: Independent

TDS: Total number of the samples

QU: Number of quantized bits. 00: two bits; 01: Four bits; 10: Eight bits; and 11: non-defined.

SAMP: Sampling frequency. 000: 13.5 MHz, 001: 27.0 MHz, 010: 6.75 MHz, 011: 1.35 MHz, 100: 74.25 MHz, 101: 37.125 M Hz, and the others are un-defined.

(0096)

Here, B/W, EN and CLF are for commercial use and are not to be used in the case of a soft tape involving the copyright protection signal for consumers and of this application, in particular. These four bits will be set at 1111.

(0097)

Next, the Y pack shown in Figure 28 (b) is composed of PC0 where the 81h for the discrimination of the fact that it is a Y pack is stored and PC1 through PC4 for the storage of the data of eight bits. Accordingly, one data pack for Y can store 32 bits or the data of the eight sample portion.

(0098)

There are two ways of calling the line numbers of the video signals. One is a method for expressing through the first field and the second field (one through 525 lines, for example, in the case of NTSC) and the other is the method of expressing the first field and second field separately (for example, line 21 of the first field and the line 11 of the second field).

In addition, the CM flag is effective in the case of such an example of the application that the data to be stored in the line data pack is at a position which is common to the first field and the second field and has such contents as are common to the first field and the second field.

(0099)

If, for example, CM = 0 and LINES = 10 are stored in the line header pack, it becomes possible to record the data necessary for one half of the data pack in the case where the data of the first field and the data of the second field are separately stored by storing the line data pack that stores data which is common to the first field and the second field progressively in the said header pack.

Incidentally, the line 10 in the second field is line 273 according to the "through" expression.

(0100)

TDS shows what extent of each data storage area of the line data pack is the real data. In the remaining storage area, all 1 whose meaning is No Information is written. Since there are 72 samplings per line by four-bit quantization in this example, just the nine-pack portion accommodates it without any left-over.

(0101)

In the case of a copyright protected signal, a comparison between the first field and the second field shows that its position is the same. Therefore, the afore-said CM flag can be effectively used.

In addition, said copyright protected signal is stored somewhere in the various horizontal lines of 12 through 20 and 275 through 283 and contains an eight-line portion in the case of most of the analog video tapes,

with a result that it is set in this example that the eight-line portion is stored. If necessary in the pack structure, etc., moreover, the number of the storage lines can be either increased or decreased in a simple fashion.

(0102)

Figure 29 shows an example of the data storage in an actual pack. Here, it is anticipated that the storage is up to the lines 13 through 20 of the first field and the second field. Since the number of the storage line can be designated by the LINES that are stored in PCL of the line header pack, it is actually not necessary for the storage lines to be contiguous. The line data are crammed into the bottom four bits and the top four bits in this order as is shown in this figure.

(0103)

Figure 30 shows an example where the header packs and data packs shown in Figure 29 are stored in the optional area of the video auxiliary data shown in Figure 18. It is seen that the pack of the copyright protected signal can be stored in one video frame in this example.

(0104) (4) Recording and Reproducing System

Next, an example of the circuit on the recording side and on the reproducing side according to this invention will be explained below. First of all, the flow of the recording and reproducing of the line pack data will be explained by referring to Figure 31.

(0105)

At the print house, the copyright protection signal is inserted, as in the conventional example, into the vertical blanking period by using a conventional copyright

protection signal generator 1 into the analog video signal A amongst the signals to be recorded as the soft tapes. In addition, the analog video signal B where the copyright protection signal has been inserted is handed over to a format converter 2 for conversion to the recording format of the digital VTR. Here, the line data signal generator 3 of this invention is connected along with the audio signals of the analog and audio systems.

By means of this line data signal generator 3, the copyright protection signal shown in Figure 25 is extracted and converted to the format shown in Figure 30 for storage in the optional area of the VAUX of the digital soft tape 4.

(0106)

The digital VTR 5 of the user detects the line pack data that has been stored in the optional area of the VAUX of the digital soft tape 4 at the time of reproduction, restores the copyright protection signal, inserts same to a prescribed line and outputs an analog video signal E.

(0107) (a) Recording System

Next, an example of the circuit of the line data signal generator shown in Figure 31 will be explained. In view of the fact that the line data signal generator 3 is basically so constructed as to detect whether or not the copyright protection signal is inserted in the vertical blanking period and, in the case where it is inserted, it samples same and carries out the processing for its storage in the data pack, the copyright protection signal detection circuit in the line data signal generator 3 will be explained at first.

(0108)

Now, Figure 32 is a block diagram showing the structure of the copyright protection signal detection circuit and Figure 33 shows its time chart. Here, the signals a through e in Figure 32 correspond to Figures 33 (a) through (e). It is mentioned that a is a signal of the analog level and the others are the signals of the digital level.

(0109)

The analog composite video signal a has the DC component of the pedestal clamped at a prescribed value by the pedestal clamp circuit 33 to be added to the SYNC chip level slice circuit 34. Here, the SYNC chip portion is extracted and a signal d of the digital level is made.

Meanwhile, the horizontal synchronizing pulse b that has been separated from the composite video signal a is converted into the waveform of c by a mono-multi, 31 to be supplied to the gate circuit 32.

Here, it is gated by the signal d that has been outputted from the SYNC chip level slice circuit 34 and, as signal e, same is supplied to a counter 35. In view of the fact that the counter 35 is so constructed as to be cleared by the stand-down of the horizontal synchronizing signal, it counts the number of the pseudo-SYNC pulses shown in Figure 25 for each line.

The output of the counter 35 is supplied to the comparator 36. Since, for example, 3 has been inputted as a comparative value to the comparator 36, the comparator 36 outputs a detection signal at the time when the output of the counter 35 has reached three. This is provided for the purpose of preventing an erroneous counting

due to noise. When three or more have been counted, it is recognized for the first time that there is a copyright protection signal.

(0110)

Figure 34 shows an example of the circuit of the line data signal generator. An analog composite video signal that is inputted from the terminal 11 is supplied to the synchronizing separating circuit 12, where the horizontal synchronizing signal (H. SYNC) and the vertical synchronizing signal (V. SYNC) are separated. It is essential at this time to take necessary steps not to be disturbed by the pseudo SYNC of the copyright protection signal by using such a mono-multi., etc. as is shown in Figure 32.

(0111)

The vertical synchronizing signal that has been separated is supplied to the PLL circuit 13, where a standard clock signal of 13.5 M Hz is prepared. This standard clock signal is supplied to a decoder circuit 14, where the sampling clock of 1.35 MHz as shown in Figure 26 is prepared.

(0112)

The copyright protection signal detection circuit 19 is shown in Figure 32. While this circuit is deciding whether or not that is a copyright protection signal, the composite video signal that has been inputted is delayed by a 1H analog delay circuit 15.

(0113)

The output of the 1H analog delay circuit 15 is digitalized at all times by the four-bit A/D converter 16. In

addition, it is written into a memory 17 through the control of a read/write control circuit 20 at the time when the existence of a copyright protection signal has been detected by the copyright protection signal detection circuit 19.

The memory 17 is a memory for the memorization of the sampling data for each line and it has eight lines of four bits x 72 samples. It is mentioned here that the address production circuit 18 is for the production of the write-in and read-out addresses of the memory 17 and for the production of a chip select signal.

(0114)

Since it is sufficient to watch the maximum of 20 lines in the first field in this example, packing into the line pack is carried out using the left-over time. The H counter circuit 21 gives to a line pack processing micro computer 23 by using the line number as the LINES data at the time when there is a copyright protection signal.

The data of the memory 17 is likewise given to the line pack processing micro computer 23 as the line data, while being switched by the switching circuit 22. By using these, the line pack processing micro computer 23 produces such data as are shown in Figure 29 and sends them over to the format converter shown in Figure 31.

(0115)

Next, the format converter will be explained by referring to Figure 35. The format converter is a digital VTR which is exclusively for recording, with an interface with the line data being provided thereon.

(0116)

The analog composite video signal that is inputted is separated into the component signals of R-Y and R-Y (sic) by a Y/C separating circuit 41 and is supplied to an A/D converter 42.

In addition, the analog composite video signal is supplied to the synchronizing separating circuit 44, where the synchronizing signal that has been separated is supplied to a clock generator 45. The clock generator 45 produces a clock signal for the A/D converter 42 and the blocking shuffling circuit 43.

(0117)

The component signal that has been inputted to the A/D converter 42 is A/D converted in the case of the 525/60 system at a sampling frequency of 13.5 M Hz for the Y signal and 13.5/4 M Hz for the color difference signal and, in the case of the 625/50 system, at a sampling frequency of 13.5 MHz for the Y signal and 13.5/2 M Hz for the color difference signal. Only the data of the effective scanning period amongst the A/D conversion outputs are supplied to the blocking shuffling circuit 43.

(0118)

In blocking shuffling circuit 43, eight samples in the horizontal direction and eight samples in the vertical direction are collected as the data of one block from the various effective data of Y, R-Y and B-Y. In addition, by using four Y blocks and one R-Y block and one B-Y block for a total of six blocks as a unit, the compressive efficiency of the video data is raised and shuffling is carried out for dispersing the error at the time of reproduction to be supplied to the compression coding circuit 46.

(0119)

The compression coding circuit 46 carries out the DCT (dispersion cosine conversion) for the block data of eight samples in the horizontal direction and eight lines in the vertical direction as inputted and outputs the result obtained to an estimator 48 and a quantizer 47. The quantizer 47 decides a quantization step on the basis of the output of the estimator 48 and carries out data compression using variable length coding for outputting to a framing circuit 49.

The framing circuit 49 frames the video data that has been compressed to the format shown in Figure 16 and outputs same to a synthesizer 50.

(0120)

In addition, the input audio signal is converted into a digital audio signal by the A/D converter 51, receives a dispersion processing of the data by a shuffling circuit 52 and is framed to the format shown in Figure 12 by the framing circuit 53. The output of the framing circuit 53 is outputted to a synthesizer 54.

(0121) The track numbers which are stored in the ID of the various pack data and the sub-code data of VAUX, AAUX and sub-code are taken from the line data signal generator to the signal processing micro computer 55 to be given to the IC 56 for VAUX, IC 57 for the sub-code and IC 58 for AAUX which are the interfaces that handle the gap between the micro computer and the hardware.

IC 56 for VAUX produces the pack data for AP2 and VAUX and outputs same to the synthesizer 50 at a prescribed timing.

As a result of what has been described above, the video data and the video auxiliary data are synthesized in the format shown in Figure 16. In addition, the IC 57 for the sub-code produces the data SID and AP 3 of

the ID part and the pack data SDAT of five bytes.

The IC 58 for AAUX produces the pack of AP1 and AAUX and outputs same to a synthesizer 54 at a prescribed timing. As a result of this, the audio data and the audio auxiliary data are synthesized in the format shown in Figure 12.

(0122)

The output of the synthesizer 50, IC 57 for the sub-code and the synthesizer 54 is supplied to a first switching circuit SW 1. Moreover, the output of the AV ID, pre-SYNC and post-SYNC generator 59 is also supplied to the first switching circuit SW 1.

By switching this switching circuit SW 1 at a prescribed timing, the ID, pre-SYNC and post-SYNC are added to the output of the synthesizer 50 and the synthesizer 54.

(0123)

As for the output of the first switching circuit SW 1, a prescribed parity is added at the parity producing circuit 60 to be supplied to the scrambling circuit 61 and the 24/25 conversion circuit 62. Here, the scrambling circuit 61 scrambles the input data for the elimination of the direct current portion of the data.

In addition, the 24/25 conversion circuit 62 carries out a treatment of adding one bit for each 24 bits of the data and giving a pilot signal component and a pre-code treatment (partial response class IV) which is suitable to digital recording.

(0124)

The data that has been obtained here is supplied to a synthesizer 63, where the audio and video produced by the A/V SYNC, sub-code SYNC generator 64 and the SYNC pattern

of the sub-code are synthesized.

The output of the synthesizer 63 is supplied to the second switching circuit SW 2. In addition, the ITI data which is outputted by the ITI generator 65 and the amble pattern that is outputted by the amble pattern generator 66 are also supplied to the second switching circuit SW 2.

To the ITI generator 65, the various data of APT, SP/LP and PF are supplied from the mode processing micro-computer 67. The ITI generator 65 inserts these data to a prescribed position of the TIA in Figure 2 so as to supply same to the second switching circuit SW 2. By switching the switching circuit SW 2 at a prescribed timing, therefore, it becomes possible to add the amble pattern and the ITI data to the output of the synthesizer 63. The recording amplifier (which is not shown in the drawing) amplifies the output of the second switching circuit SW 2 and said output is recorded on a magnetic tape (which is not shown in the drawing) by the magnetic head (which is not shown in the drawing).

(0125)

The mode processing micro computer 67 carries out the mode management of the device as a whole. The third switching circuit SW 3 that has been connected to this micro computer is for the purpose of setting the SP/LP mode, with the result of said setting being detected by the mode processing micro computer 67 to be given to the signal processing micro computer 55, the MIC micro computer 69 and the mechanical control micro computer (which is not shown in the drawing) through communications among the micro computers.

(0126)

MIC micro computer 69 is a micro computer for the MIC (Memory In Cassette) processing. Here, the pack data and the APM, etc. are produced to be given to the MIC 68 in the MIC-equipped cassette (which is not shown in the drawing) through an MIC contact (which is not shown in the drawing).

(0127) (b) Reproduction System

Next, an example of the circuit on the side of the reproduction and restoration shown in Figure 31 will be described. First, an example of the circuit on the reproduction side of the digital VTR employing this invention will be explained by referring to Figures 36 and 37.

(0128)

A weak signal that has been reproduced from a magnetic tape (which is not shown in the drawing) by means of a magnetic head (which is not shown in the drawing) is amplified by the head amplifier (which is not shown in the drawing) to be added to an equalizer circuit 71. The equalizer circuit 71 is for carrying out an opposite of the emphasis processing (such as a partial response class IV) that was carried out for improving the electro magnetic conversion characteristics of the magnetic tape and the magnetic head at the time of recording.

(0129)

The clock CK is extracted from the output of the equalizer circuit 71 by means of a clock extraction circuit 72. This clock CK is supplied to an A/D converter 73 and the output of the equalizer circuit 71 is converted to a digital value. The one-bit data that has

been obtained in this manner is written into a FIFO 74 by using the clock CK.

(0130)

This clock CK is a time-wise unstable signal containing the jitter component of the rotary head drum. In view of the fact that the data itself prior to the A/D conversion does contain a jitter component, however, there is no problem in sampling itself.

In view of the fact that, at the time when a video data, etc. is to be extracted from same, said extraction cannot be effected unless it is a time-wise stable data, naturally, a time axis adjustment is carried out by using FIFO 74.

In other words, write-in is effected with an unstable clock but a stable clock SCK is read out of a self-excitation oscillator 91 using a quartz oscillator, etc. The depth of the FIFO 74 should have such leeway as not to read out at a speed which is faster than the input speed of the input data.

(0131)

The outputs of the various steps of FIFO 74 are added to a SYNC pattern detecting circuit 75. Here, the SYNC patterns of the various areas are switched over at the timing circuit 79 by the fifth switching circuit SW 5. The SYNC pattern detecting circuit 75 is based on a fly wheel mechanism, whereby, when the SYNC pattern is detected once, it sees if the same SYNC pattern may come after a prescribed SYNC block length or not. If this proves correct for more than three times, for example, it is so constructed that it is considered to be true, thereby preventing an erroneous detection. Such a depth of FIFO 74 as will cover this portion will be

required.

(0132)

When the SYNC pattern is detected in this manner, the amount of the shift required for the extraction of a SYNC block, provided that a certain portion is extracted from the output of the steps of the FIFO 74 is extracted, is determined. On the basis of this, the fourth switching circuit SW4 is closed and the necessary bits are taken into the SYNC block confirmation latch 77. With this done, the SYNC number that has been taken in is taken out at the SYNC number extraction circuit 78 to be supplied to the timing circuit 79.

Based on this read-in SYNC number, it can be seen at what position on the track the head is scanning. On the basis of this, therefore, the fifth switching circuit SW5 and the sixth switching circuit SW6 are switched.

(0133)

The sixth switching circuit SW 6 is switched over to the lower side at the time when the head is scanning the ITI sector and the ITI SYNC pattern is removed by a subtractor 80 and it is added to the ITI decoder 81. In view of the fact that the ITI area is coded and recorded, it becomes possible to take out the various data of APT, SP/LP and PF by decoding the same. This is given to a mode processing micro computer 82 which decides the action mode, etc. of the device as a whole to which the seventh switching circuit SW 7 for setting the SP/LP mode is connected.

The mode processing micro computer 82 carries out the system control of the set as a whole in linkage with the mechanical control micro computer 85 and the signal processing micro computer 100.

(0134)

To the mode processing micro computer 82, an MIC micro computer 83 for the management of APM, etc. is connected. The information from the MIC 84 inside the MIC-equipped cassette (which is not shown in the drawing) is given to this MIC micro computer 83 through the MIC contact switch (which is not shown in the drawing) and carries out the processing of the MIC, while sharing the role with the mode processing micro computer 82. Depending upon the sets, this MIC micro computer 83 is omitted and there are cases where the MIC processing is carried out by the mode processing micro computer 82.

(0135)

At the time when the head is scanning the A/V sector or the sub-code sector, the sixth switching circuit SW 6 is switched over to the upper side. After the extraction of the SYNC patterns of the sectors by means of a subtractor 86, same is passed through the 24/25 reverse conversion circuit 87 and is further added to a reverse scrambling circuit 88 and restored to the original data row. The data that has been taken out in this manner is added to the error correcting circuit 89.

(0136)

At the error correcting circuit 89, the detection of the error data and its correction are carried out by using the parity that has been added on the recording side. The error that could not have been taken out is outputted with the attachment of an ERROR flag. Each data is switched by the eighth switching circuit AW 8 (sic) for outputting.

The AV ID, pre-SYNC and post-SYNC extracting circuit 90 extracts the SYNC numbers and the track numbers that have been stored in the A/V sector and pre-SYNC and post-SYNC and the various signals of SP/LP that have been stored in the pre-SYNC. These are given to the timing circuit 79 for use in the production of various kinds of timing.

(0137)

Regarding the SP/LP, the mode processing micro computer 82 carries out a comparative examination thereof with what has been obtained from the ITI. In the ITI area, the SP/LP information is written three times on its TIA area and that area alone will have its reliability raised by a majority decision treatment, etc.

The pre-SYNC has two SYNC each in the audio and the video, with SP/LP information being written at a total of four locations. In this area, too, its reliability is raised by means of a majority decision, etc. In the absence of any agreement ultimately between the two, those of the ITI area are adopted on a priority basis.

(0138)

The VDATA that has been outputted from the eighth switching circuit SW 8 is divided into a video data and a video auxiliary data by means of a ninth switching circuit SW 9. Together with the error flag, the video data is given to a de-framing circuit 94.

(0139)

The de-framing circuit 94 indicates the location where a reverse conversion of the framing on the recording side is carried out, and is in control of the properties of

the data that has been charged into same. If there are some errors left in some data, the effect upon the other data is understood. Therefore, a transmission error processing is carried out here. Because of this, the ERROR flag will become a VERROR flag containing a transmission error freshly.

Those erroneous data which are not important in video reproduction are given certain working on the video data, thereby erasing the error flag, in this de-framing circuit 94.

(0140)

The video data is restored to the data prior to compression through a reverse quantization circuit 95 and a reverse compression circuit 96. Next, the data is returned to the original video space arrangement by the de-shuffling de-blocking circuit 97. It is by returning the data to this real image space that it becomes possible to repair the image on the basis of the VERROR flag. In other words, such a treatment as will memorize the video data one frame before in the memory at all times, with the video block that has constituted an error substituted by the prior video data is carried out.

(0141)

After de-shuffling, the data is handled by dividing same into a luminance signal and the color difference signals. Same is returned to the various analog components of Y, R-Y and B-Y by the D/A converters 101 through 103. At this time, the clock uses the output of the oscillation circuit 91 and the output obtained by a division thereof by a divider 92.

In other words, Y is 13.5 M Hz and R-Y and B-Y are 6.75 M Hz or 3.375 M Hz.

(0142)

The three signal components which have been obtained in this manner are synthesized at the Y/C synthesizing circuit 104 and is further synthesized with the composite synchronizing signal from the synchronizing signal generating circuit 93 at the synthesizer 105, to be outputted from the terminal 108 as a composite video signal.

(0143)

The ADATA that has been outputted from the eighth switching circuit SW 8 is divided into an audio data and an audio auxiliary data by the tenth switching circuit SW 10. Together with the ERROR flag, the audio data is given to the de-framing circuit 107.

The de-framing circuit 107 is the place for the reverse conversion of the framing on the recording side and it understands the properties of the data that has been crammed into it.

In the presence of any error that could not have been taken out of some data, a transmission error processing is carried out as the effect of same upon the other data is well understood. Since one data is on the eight-bit unit, at the time of 18-bit sampling, an ERROR flag becomes an AERROR flag containing a transmission error freshly.

(0144)

Audio data is returned onto the original time axis by the next shuffling circuit 108. At this time, the repair to the audio data is carried out on the basis of the AERROR flag. In other words, such a treatment as the

prior value hold, etc. in substitute is carried out by means of an audio immediately prior to the error. In the case where the error period happens to be excessively long, with repair being ineffective, such a treatment as muting, etc. is carried out to terminate the sound itself.

(0145)

Subsequent to such a treatment, the analog value is restored by the D/A converter 109 and it is outputted from the analog audio output terminal 110, while the timing of the video data, etc. is being "taken".

(0146)

The various data of VAUX and AAUX that have been divided by the ninth switching circuit SW9 and the 10th switching circuit SW 10 undergo such a pre-treatment as the majority decision treatment, etc. by referring to the error flag at the IC 98 for VAUX and IC 111 for AAUX.

The ID data SID of the sub-code sector and the pack data SDAT are given to the IC 112 for the sub-code, where such a pre-treatment as the majority decision, etc. is carried out by referring to the error flag, too. Thereafter, same is given to the signal processing micro computer 100, where the final reading action is carried out.

The errors that have not been extracted at this time are given to the signal processing micro computer 100 as the VAUXER, SUBER and AAUXER. It is mentioned here that IC 98 for VAUX, IC 111 for AAUX and IC 112 for the sub-code carry out the treatment for the production of AP2, AP3 and AP1 respectively.

(0147)

Let us add something to the error treatment of the auxiliary data. Each area has a main area and an optional area. In the 525/60 system, the same data is written in the main area 10 times. Even in the case where some of them may be in error, therefore, the other data can be used for supplementation and reproduction, with a result that the ERROR flag is no longer an error.

Regarding the optional area other than the sub-code, where the error is written once only, the errors will remain as VAUXER, SUBER and AAUXER.

(0148)

The signal processing micro computer 100 carries out propagation error processing and repair to the data, etc. based on the front-and-back relationship of each pack. The result of such a decision is used as the material for deciding the behavior of the set as a whole as it is given to the mode processing micro computer 82.

(0149)

The copyright protection signal producing circuit 99 acts by receiving a signal from IC 98 for VAUX, the synchronizing signal generating circuit 93 and the timing circuit 79. By its line number agreement output, it switches the 11th switch SW 11 to the lower side of the figure and sends the line data output to the D/A converter 101. As a result of this, such a copyright protection signal as is shown in Figure 25 is inserted into a prescribed line. The insertion is made at the synthesizer 105 at the time when said synthesis is carried out in analog terms.

(0150)

Next, the copyright protection signal producing circuit 99 will be explained below by referring to Figure 38. IC 98 for VAUX reads the line data from the storage area shown in Figure 30. By immediately discriminating its contents, it takes out the line number from the data of LINES and the line data from the line data pack for Y directly. This is stored in the memory 201 shown in Figure 38.

(0151)

Memory 201 is equipped with eight chips for the storage of the line data and line numbers of four bits x 72 samples and the write-in/read-out action is controlled by the control signal that is outputted by the read/write control circuit 203, the address signal that is produced by the address producing circuit 202 and the chip select signal.

(0152)

The contents of the memory 201 are cleared once at the time of the feeding of the power source for the VTR. In addition, VAUXER is supplied from IC 98 for VAUX. Because of this, control is exercised in such a way that the line data and line numbers may not be taken into the memory 201 at the time when there is VAUXER and the data that has been taken in before is substituted as the value at the time of an error.

The copyright protection signal does not change drastically for each frame as described earlier and such a processing becomes possible in view of an extremely high correlation with the prior frame.

(0153)

The line data that has been read out of the memory 201 is latched to the line data latch 205. At the line data latch 205, 0000 that is added to the bottom four bits of the line data are already latched.

In addition, the line numbers that are read out of the memory 201 are latched at the line number latch 204. The agreement between the value obtained by counting the horizontal synchronizing signals that have been prepared by the synchronizing signal producing circuit 93 by means of an H counter 206 and its line number latch 204 is detected by a comparator 207. By using the output that has detected the agreement, the switch SW 11 is switched to the lower side (refer to Figure 37) as described earlier and, while timing is coordinated by means of the timing circuit 79, the eight-bit line data that is outputted from the line data latch 205 is inserted.

(0154)

(Effect of the Invention)

According to this invention, it becomes possible to record and reproduce, with a digital VTR of the compression system, the copyright protection signal that has been inserted into the parts other than the real image of the video signal such as a scrambled signal using the soft tape of the VTR of the analog system.

(Concise Explanation of the Drawings)

(Figure 1)

This shows one track of the digital VTR where this invention is applied.

(Figure 2) This shows the structure of the ITI area of the digital VTR shown in Figure 1.

(Figure 3)

This shows the fact that the data structure on the

track is decided by the APT.

(Figure 4)

This shows the structure of the application ID on the tape and of the MIC.

(Figure 5)

This shows the data structure on the track at the time when APT = 000.

(Figure 6)

This shows the structure of a pack data.

(Figure 7)

This shows the hierarchical structure of the header.

(Figure 8)

This shows an outline of the pack header list.

(Figure 9)

This shows the data of PC 1 of the source control pack of the video auxiliary data as well as the audio auxiliary data.

(Figure 10)

This shows the structure of the audio sector shown in Figure 10.

(Figure 11)

This shows the pre-SYNC and the post-SYNC of the audio sector.

(Figure 12)

This shows the SYNC block and the framing format of the audio sector.

(Figure 13)

This is a figure where the nine-pack portion of the audio auxiliary data has been extracted and described in the direction of the track.

(Figure 14)

This shows the structure of the video sector.

(Figure 15)

This shows the SYNC block of the video sector.

(Figure 16)

This shows the framing format of the video sector.

(Figure 17)

This shows SYNC which is exclusively for the video auxiliary data.

(Figure 18)

This is a figure in which the 45 pack portion of the video auxiliary data has been extracted and described in the track direction.

(Figure 19)

This shows the structure of the ID part.

(Figure 20)

This shows the structure of the sub-code sector.

(Figure 21)

This shows the SYNC block of the sub-code sector.

(Figure 22)

This shows the ID part of the sub-code sector.

(Figure 23)

This shows the data part of the sub-code sector.

(Figure 24)

This shows the data structure of MIC.

(Figure 25)

This shows an example of the copyright protection signal.

(Figure 26)

This shows the relationship between the sampling period and the sampling pulse.

(Figure 27)

This shows the relationship between the copyright protection signal that has been quantized and the video

signal.

(Figure 28)

This shows the line header pack and the line data pack.

(Figure 29)

This shows an example where the copyright protection signal that has been quantized is stored in the line header pack and the line data pack.

(Figure 30)

This shows an example where the header pack and the data pack shown in Figure 29 are stored in the optional area of the video auxiliary data.

(Figure 31)

This shows an example of the state of usage on the recording side and the reproducing side according to this invention.

(Figure 32)

This is a block diagram showing an example of the structure of a copyright protection signal detection circuit.

(Figure 33)

This is an action timing chart of the copyright protection signal detection circuit.

(Figure 34)

This is a block diagram showing an example of the line data signal generator.

(Figure 35)

This is a block diagram showing an example of the structure of a format converter.

(Figure 36)

This is a block diagram showing the structure of a part

of the reproduction system of the digital VTR.

(Figure 37)

This is a block diagram showing an example of the structure of a part of the reproduction system of the digital VTR.

(Figure 38)

This is a block diagram showing an example of the structure of the copyright protection signal producing circuit.

(Figure 39)

This shows the effective scanning period of the digital VTR.

(Explanation of the Codes Used)

- 3. Line data signal generator
- 2. Format converter
- 19. Copyright protected signal detection circuit
- 23. Line pack processing micro computer
- 99. Copyright protected signal producing circuit
- 57 and 98. IC for VAUX

--

(Insert Figure 5 on p. (17). (a) At the time of APT = 000. (b) At the time when AP 1 = AP 2 = AP 3 = 0.)

(Insert Figure 11 on p. (19). (a) Pre-SYNC block. (b) Post-SYNC block.)

(Insert Figure 19 on p. (19). (a) Pre-SYNC, post-SYNC, C2 parity SYNC.))

(Insert Figure 22 on p. (21). (a) SYNC numbers 0 and 6. (b) (Translator's Note: two characters are illegible but presumed to be) Other than SYNC number zero and six.)

(Insert Figure 32 on p. (22). 31. Mono multi. 32. Gate. 33. Pedestal clamp. 34. SYNC chip level slice. 36. Comparator. a. Detection.)

(Insert Figure 27 on p. (23). a. Bottom four bits. b. Digital level. c. Analog level. d. Pedestal level. e. SYNC chip level.)

(Insert Figure 29 on p. (24). a. Line header pack. b. Y pack.)

(Insert Figure 31 on p. (24). (A) Print House. (B) User. a. Copyright protection signal .. (Translator's Note: The rest is illegible). 2. Format ... (Translator's Note: The rest is illegible). 3. Line data ... (Translator's Note: The rest is illegible). 5. Digital VTR.

A: Analog video signal

B: Analog video signal in which a copyright protected signal has been inserted.

C: Analog or digital audio signal

D: Copyright protected signal that has been ... (Translator's Note: Unclear but looks like) ... extracted from B and digitalized.

E: Analog video signal in which a copyright protected signal has been inserted.

4: Digital soft tape with with a digitalized copyright protected signal being ... (Translator's Note: one character illegible).

(Insert Figure 34 on p. (25). 14. Decoder. 15. 1H analog delay. 17. 4bit x 72 memory. 18. Address production. 19. Copyright protected signal detection circuit. 20. Read/write control. 21. H counter. 23. Line pack processing micro computer. a. 8 Line portion. b. Detection. c. To format converter.)

(Insert Figure 35 on p. (26). 41. Y/C separation. 42. A/D conversion. 43. Blocking/Shuffling. 46. Compression. 47. Quantization. 48. Framing. 49. (Translator's Note: Illegible). 52. Shuffling. 53. Graming. 56. Information processing micro computer. 61. (Translator's Note: Illegible). 62. 24/25 conversion. a. From line data signal generator. b. Recording data.)

(Insert Figure 36 on p. (26). 72. Clock ... (Translator's Note: Two characters are illegible). 77. SYNC block ... (Translator's Note: The rest is i-legible). 78. SYNC number ... (Translator's Note: The rest is unclear but looks like) ... read-out. 76. SYNC pattern detection. 79. Timing ... (Translator's Note: The rest is illegible). 82. Mode processing micro computer. 83. MIC micro computer. 85. Mechanical ... (Translator's Note: two characters are unclear but look like) ... control micro computer. (Translator's Note: The rest is all illegible).)

(Insert Figure 37 on p. (27). 94. De-framing. 95. Reverse quantization. 96. Reverse compression. 97. De-shuffling/de-blocking. 100. Signal processing micro computer. 104. Y/C synthesizing circuit. 107. De-framing. 108. Shuffling. 92. Divider. 99. Copyright protected signal production. To the mode processing micro computer, to the signal processing micro computer.)

(Insert Figure 38 on p. (28). 200. H counter. 201. 4bit x 72, line data line number memory. 202. Address production. 203. Read/write control. 204. Line number latch. 206. Line data latch. 207. Comparator. a. From the SYNC GEN 98. b. 8 line portion.

- c. Line number and line data from the IC ?? for VAUX.
- d. From IC ?? for VAUX. e. From the timing circuit 78.
- f. (Translator's Note: one character illegible). g.
- Bottom four bits 0000. h. Line data.)

(Translator's Note: For the rest of the translation of the legends in various figures attached, reference should be made to the original document.)

(Continued from the front page)

(51) Int. Cl.⁶ H 04 N 5/91

Discrimination Code:

Intra-office Coordination No. 7734-5C

F1. Technology disclosure location

H 04 N 5/91

P

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.